

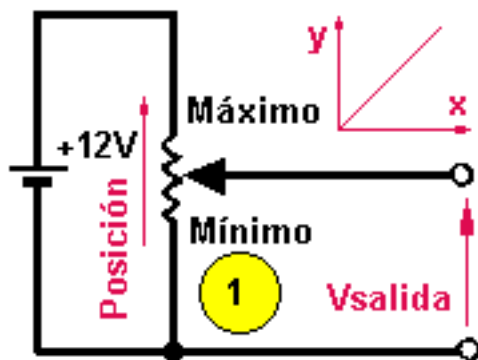
Capítulo I

Repaso de Circuitos Digitales

INTRODUCCIÓN

¿Qué significa que la señal a la salida de un dispositivo sea “analógica”?

Pues que existe una analogía entre los valores que toma dicha salida, y los que toma la entrada del dispositivo. Para nosotros, los electrónicos, estas señales pueden ser de tensión, corriente o potencia eléctricas, o incluso frecuencia o fase; pero el concepto se extiende también a las variables mecánicas, acústicas, luminosas, etc. (Por ejemplo la velocidad de un automóvil es una analogía de la posición del acelerador), y casos mixtos (micrófono, parlante, cámara de TV).



Consideremos el circuito de la figura 1.
FIGURA 1

Decimos que la tensión de salida es una analogía de la posición del potenciómetro, porque cada uno de los infinitos valores de la tensión de salida corresponde a una cierta posición del cursor. Si éste es rolado en forma continua, la tensión también variará en forma continua (suponiendo que el potenciómetro no presente imperfecciones en la pista).

Cuando hablamos de circuitos digitales, en cambio, hablamos de señales que sólo pueden tomar una cantidad limitada de niveles. Por ejemplo, una señal digital binaria puede tomar dos estados permitidos; una ternaria puede tomar tres, etc. (la tensión analógica de nuestro potenciómetro, en contraste, puede tener infinitos valores entre 0V y 12V).

Una señal analógica está expuesta a una serie de degradaciones. Veremos en una serie de ejemplos cómo el empleo de técnicas digitales en los circuitos permiten evitarlas:

- 1) Si ha de atravesar un sistema de transmisión, resulta contaminada con una cierta cantidad de ruido y distorsión, además del deterioro introducido por la planicidad no perfecta en la respuesta en frecuencia, y las variaciones de nivel debidas a la propagación, desajuste de las etapas por envejecimiento o variaciones térmicas, etc.

En cambio una señal que pueda tomar sólo dos niveles (caso de la digital binaria) es más inmune a los defectos de una transmisión, pues basta con que el receptor pueda reconocer cada estado sin equivocarse, lo cual es factible aún con una onda bastante ruidosa o distorsionada.

- 2) Si utilizamos la salida analógica de nuestro potenciómetro para introducir un valor en una computadora analógica, nos encontraremos con imprecisiones debidas:
 - a. Al desgaste de la pista,
 - b. Juego mecánico en su accionamiento, y
 - c. Fluctuaciones de la tensión de entrada,

- d. Además de los errores de ganancia en las etapas y
- e. Las inexactitudes del instrumento de aguja que indique el resultado.

Como contra-partida, una típica calculadora digital no presenta esta cadena de errores, pues tanto el ingreso como el procesamiento y la exhibición de los datos son realizados en forma totalmente binaria:

- I. Teclas que están oprimidas o no,
- II. Transistores que conducen o están al corte,
- III. Lámparas que están encendidas o apagadas.

Es decir, sólo intervienen dos estados muy difíciles de confundir.

- 3) Hay un tipo de memoria analógica que se basa en cargar una serie de capacitores con las tensiones a almacenar. Como un capacitor inevitablemente tiene pérdidas, la información almacenada se irá deteriorando a medida que transcurra el tiempo.

Si lo que se guarda es un 1 ó un 0, en cambio, se puede tolerar una variación de tensión relativamente amplia antes de que se confunda la información, pudiendo incluso ser “refrescada” o regenerada periódicamente si se la ha de mantener por mucho tiempo. O sea que los datos digitales son más cómodos para guardar.

- 4) Casi todas las funciones analógicas de procesamiento de señal pueden ser efectuadas digitalmente, cuando una señal ha sido digitizada. Por ejemplo, consideremos un amplificador de ganancia seleccionable “analógicamente”, figura 2.

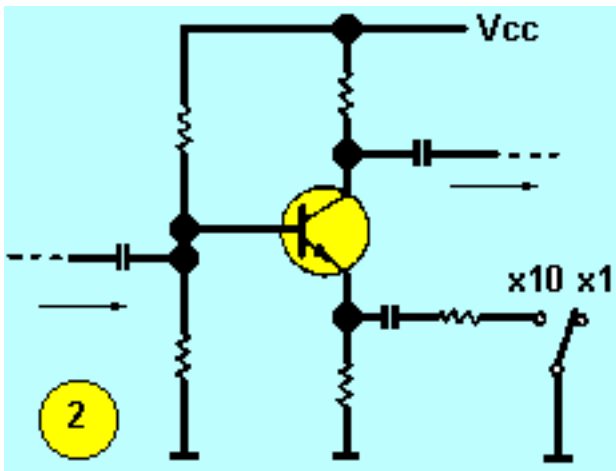


FIGURA 2

Con la llave abierta o cerrada podemos hacer que la ganancia sea, digamos, de 1 ó 10 veces. Es de esperar que toda variación de valor en alguno de los resistores, o en los parámetros del transistor, o en la tensión de fuente, haga que estas ganancias no sean exactas.

En cambio, si la señal a controlar estuviese digitizada, el bloque equivalente al visto sería una unidad aritmética que realice las funciones “multiplicar por 1” o “multiplicar por 10”, en forma similar a como lo haría una calculadora, sin cometer el más mínimo error.

Desde luego que los circuitos digitales tienen sus desventajas.

Se requiere una gran cantidad de cifras para expresar un número en binario, con la consiguiente complejidad circuital. Pero afortunadamente los circuitos digitales se caracterizan por la constante repetición de bloques de circuitos similares, lo cual los torna muy fáciles de implementar en los circuitos integrados. Al mirar una micro-fotografía del chip de un CI digital se aprecia el predominio de las estructuras cuadrículadas, que permiten optimizar el empleo del área de silicio. Esto no se da con las funciones analógicas, disímiles entre sí, tales como amplificar oscilar, convertir, filtrar, detectar, las

cuales requieren circuiterías a menudo imposibles de uniformar en un CI.

Aclaremos que los circuitos digitales no necesariamente son integrados, pero que la integración sí es la solución deseable para los mismos.

En este libro se tratarán cinco formas de digitización en los televisores:

- 1) Botonera (mecánica electrónica o semi-electrónica): selección “dactilar” de la tensión de sintonía, preajustada en potenciómetros.
- 2) Síntesis de tensión: generación de la tensión de sintonía a partir de datos almacenados en una memoria digital.
- 3) Síntesis de frecuencia: generación de la frecuencia de sintonía a partir de datos almacenados en una memoria digital.
- 4) Digitalización de señales: conversión a digital de la mismísima señal de audio o vídeo, para luego procesarla digitalmente, y por último retornarla a la forma analógica.
- 5) Control remoto: aplicable a los casos anteriores, más el control de señales analógicas con tensiones analógicas.

SISTEMAS DE NUMERACIÓN

Estamos acostumbrados a utilizar la numeración decimal todos los días. O sea, usamos diez símbolos (del 0 al 9) y luego los multiplicamos por una potencia de diez según la posición que ocupan en el número completo. Por ejemplo:

$$527 = 500 + 20 + 7 = 5 \times 10^2 + 2 \times 10^1 + 7 \times 10^0$$

(NOTA DEL AUTOR: excepto el cero, cualquier número elevado a la potencia cero da 1. Cualquier número elevado a la potencia 1 es igual a sí mismo.)

(Nota del editor: 10^2 significa 10 elevado a la potencia 2)

Tal vez nunca se nos ocurrió pensarlo de este modo, pero este razonamiento nos ayudará a comprender otros sistemas con base distinta a la decimal.

En el sistema binario, los símbolos posibles son solamente dos: 0 y 1. Por ser de “base 2” cada símbolo queda multiplicado por una potencia de 2 según su posición en el número. Por ejemplo:

$$\begin{aligned} 1101001 \text{ (en binario)} &= \\ &= 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 \\ &= 64 + 32 + 0 + 8 + 0 + 0 + 1 \\ &= 105 \text{ (en decimal)} \end{aligned}$$

Cada uno de los unos y ceros que componen un número binario se llama BIT (dígito binario) Con dos bits se puede escribir hasta cuatro números distintos ($2^2 = 4$; del 0 al 3) Con tres bits, ocho ($2^3 = 8$) números, del 0 al 7; etc. Veamos las equivalencias entre números de 4 bits y la numeración decimal:

en binario	en decimal
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9
1010	10
1011	11
1100	12
1101	13
1110	14
1111	15

Recuérdese que, en un número binario, el bit en el extremo izquierdo es el más significativo (Por ejemplo, vale 8 en un número de cuatro bits), y el del extremo derecho es el menos significativo.

Este es el mismo orden que se usa en la numeración decimal. No obstante, algunos textos utilizan el orden inverso.

Una misma cantidad requiere más cifras para expresarla en binario que en decimal, sin embargo el binario es un lenguaje mucho más cómodo, por otras razones, para los circuitos lógicos.

Hay una forma intermedia entre el binario y el decimal, llamado BCD (Decimal Codificado en Binario) el cual, si bien tiene la misma APARIENCIA del binario (pues usa solamente unos y ceros), no se puede tratar de la misma forma. Se basa en codificar binariamente cada cifra decimal por separado mediante un conjunto de cuatro bits. Veamos:

527 (en decimal) = 0101 0010 0111
 (5 en binario)(2 en binario)(7 en binario)

O sea que el número 0101 0010 0111 (conservando esa separación entre cuartetos) en numeración BCD, representa al decimal 527. ¿Por qué no puede tratarse como binario? Ahora veremos lo que pasaría:

010100100111 (si fuese binario) =

$$= 0 \times 2048 + 1 \times 1024 + 0 \times 512 + 1 \times 256 + 0 \times 128 + 0 \times 64 + 1 \times 32 + /+ 0 \times 16 + 0 \times 8 + 1 \times 4 + 1 \times 2 + 1 \times 1 = 1319$$

De modo que no nos da el mismo número. Si aún persiste la confusión, veamos cómo sería la ponderación (asignación de valor a cada bit) correcta para el BCD:

$$010100100111 \text{ (en BCD)} = \\ = 0 \times 800 + 1 \times 400 + 0 \times 200 + 1 \times 100 + 0 \times 80 + 0 \times 40 + 1 \times 20 + 0 \times 10 + /+ 0 \times 8 + 1 \times 4 + 1 \times 2 + 1 \times 1 = 527$$

El BCD es un código que puede ser manejado por un circuito digital (por constar de unos y ceros), y que además es fácilmente convertible a decimal.

Nótese que las combinaciones 1010 hasta 1111 (que equivalen a 10 hasta 15 en binario natural) están prohibidas para el BCD.

Existen otras bases de numeración utilizadas en computación.

Una de ellas es la hexa-decimal (base 16); como los números 0 al 9 le quedan cortos, se agregan a continuación las letras A, B, C, D, E, y F, para un total de 16 símbolos. Es un método de “empaquetar” bits de a cuatro en un solo símbolo y así evitar el inconveniente (para el ser humano) de las enormes cifras binarias

El octal (base 8) usa solamente los símbolos 0 al 7, y empaqueta de a 3 bits.

Las operaciones con números binarios y las conversiones entre sistemas escapan a la finalidad de este libro, pudiendo consultarse para ello cualquier buena obra de circuitos digitales.

Los valores de los estados lógicos se estudiarán junto con cada tipo de lógica. Sin embargo, el lector impaciente querrá saber “cuánto” podría ser un 0 ó un 1. Pues bien, aquí va un ejemplo.

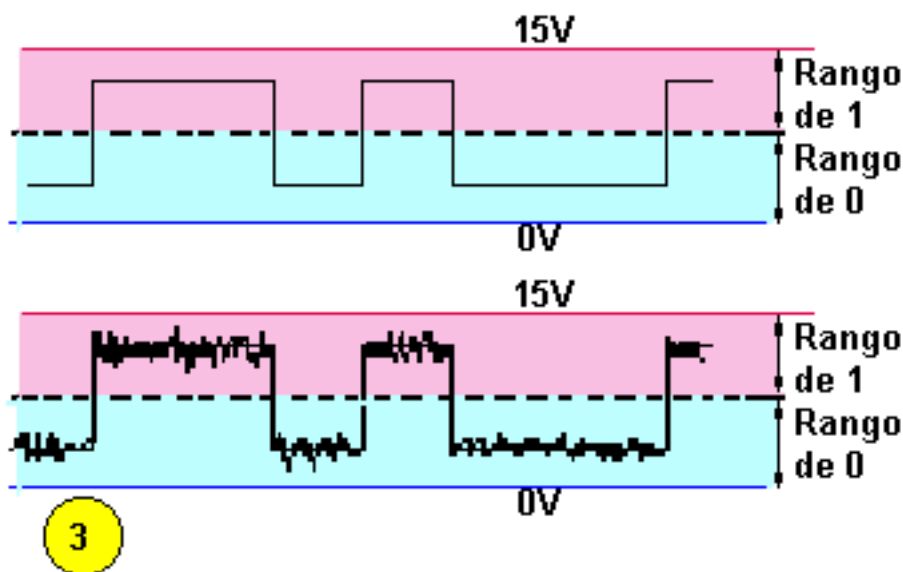
Para los circuitos CMOS alimentados con 15V, se dice que es un nivel lógico 0 cualquier tensión entre 0V y 4V; y un nivel lógico 1 cualquier tensión entre 11V y 15V.

Del ejemplo mencionado se advierte que las tensiones de cada estado pueden tener tolerancias amplísimas sin que el circuito mal interprete la información.

Es esta flexibilidad lo que le otorga a los circuitos lógicos una elevada inmunidad frente a

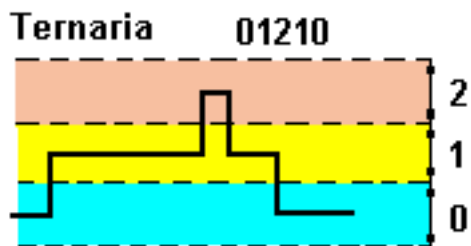
- 1) Las tolerancias de fabricación,
- 2) Variaciones en la tensión de fuente(incluso ripple),
- 3) Ruidos montados sobre la señal útil,

- 4) Desajustes por variación de temperatura o
- 5) Por envejecimiento, etc.; Véase la figura 3.



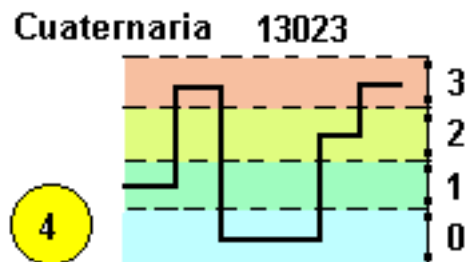
señal binaria original
señal binaria
contaminada con ruido
FIGURA 3

No todo lo digital es binario: veamos dos ejemplos, figura 4.



señal ternaria señal cuaternaria
FIGURA 4

Se advierte que a medida que se aumenta la cantidad de estados, ya no es tan evidente el reconocimiento de los mismos, aumenta la probabilidad de error frente a imperfecciones.



Un ejemplo de señal ternaria en televisión es el pulso de “sand-castle” (castillo de arena) que contiene la información de borrado horizontal y habilitación de burst. El super-sand-castle, que incluye borrado vertical, es cuaternario.

4

Hay componentes que son binarios por naturaleza. Una lámpara puede indicar con claridad sí está encendida o apagada. Pero esa misma lámpara será malísima como indicador cuaternario, o sea, si puede estar apagada, con poco brillo, con brillo mayor o a pleno brillo; el observador humano cometería errores con seguridad.

Aunque resulte desconcertante, aún las computadoras más complicadas, de esas que parecen desafiar al cerebro humano, no poseen ningún componente de circuito milagroso, sino que se basan en repetir ininidad de veces y conectados de múltiple formas los mismos caballitos de batalla: las compuertas.

Una compuerta es un circuito capaz de realizar pequeñas decisiones lógicas: invertir estados, comparar señales. Puede tener una o más entradas (pocas veces más de cuatro) y por lo general una sola salida.

Puede tener ninguna, una, o varias etapas con transistores, pero cuando se la estudia a nivel de bloque de circuito, su constitución interna no interesa en absoluto (hasta puede estar constituida por válvulas, relevadores, o juntas superconductoras).

Simplemente se las representa con una cierta figura según el tipo de compuerta, que ni siquiera indica las conexiones de alimentación. El trabajo que debe cumplir un tipo de compuerta se especifica mediante la llamada tabla de verdad, donde se listan todas las combinaciones posibles de las señales de entrada, junto con la salida que se debe generar para cada combinación.

Salvo excepciones, las etapas internas de una compuerta no se estudian como “Amplificadores”, sólo se aprovecha el funcionamiento de los transistores en conmutación, es decir, conducción y corte.

Las compuertas básicas que estudiaremos son: inversor, AND, OR, NAND y NOR.

Inversor

Básicamente es un circuito que si le ponemos un 1 a la entrada entregará un 0 a la salida, y si le ponemos un 0 a la entrada entregará un 1 a la salida, ver figura 5

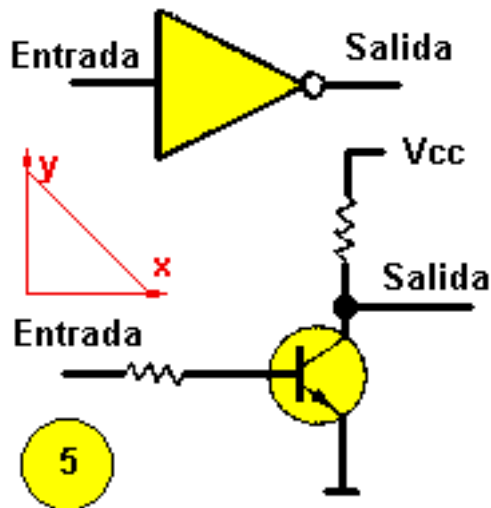


Tabla de verdad

Ent	Sal
1	0
0	1

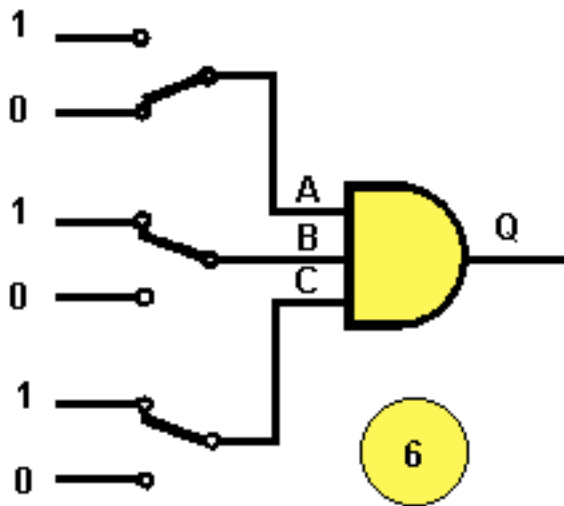
Símbolo

Ejemplo de circuito

FIGURA 5

En el lenguaje “analógico”, diríamos que el inversor invierte la fase. Usando las palabras correctas, el inversor “complementa” la señal aplicada, o sea, produce su complemento (señal invertida o negada) en su salida.

Compuerta AND (“Y”)



La figura 6 muestra el símbolo de una compuerta AND. en este caso de 3 entradas, conectadas a unas llaves que les permiten aplicar a voluntad un 1 ó un 0 para su estudio.,

Como hay 3 entradas, la cantidad de combinaciones de unos y ceros posibles en ellas es igual a $2^3 = 8$. Por lo tanto, la tabla de verdad tendrá 8 renglones. Es sólo por comodidad que se ordenan las combinaciones de modo que formen los números binarios de 0 al 7, pero esto no significa en absoluto que en la vida real la compuerta vaya a recibir las entradas según dicho orden.

FIGURA 6

La filosofía es la siguiente: una compuerta AND produce un 1 en su salida únicamente si A “y” B “y” C están en 1 (de allí su nombre).

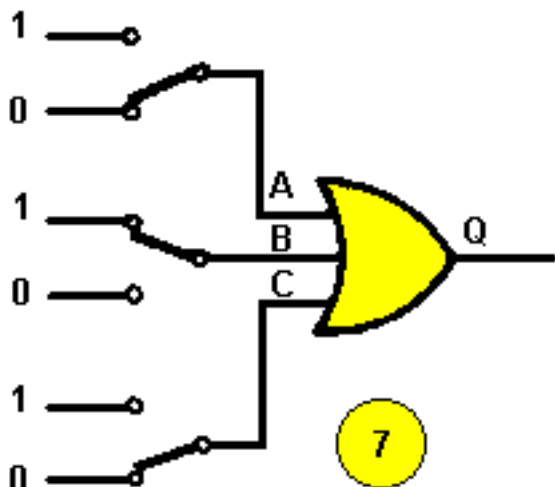
C	B	A	Q	AND
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	0	
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	

Un ejemplo de la vida diaria es el ascensor: el motor se pone en marcha únicamente si la puerta de éste “y” la del piso están cerradas, “y” se ha oprimido el botón de otro piso. Si

bien este caso no es así de sencillo en la realidad, al menos demuestra la capacidad para “tomar decisiones” que tiene una compuerta.

Compuerta OR (“O”)

En la figura 7 se repite el circuito de prueba, esta vez para una OR.



C	B	A	Q	OR
0	0	0	0	
0	0	1	1	
0	1	0	1	
0	1	1	1	
1	0	0	1	
1	0	1	1	
1	1	0	1	
1	1	1	1	

FIGURA 7

Este es el funcionamiento de la OR: si la entrada A “o” la B “o” la C (o más de una) están en 1, la salida es 1. Es como una alarma contra ladrones; si el caco activa algún sensor entrando por la puerta “o” la ventana “o” la chimenea, suena la alarma. Y si dos o tres ladrones están simultáneamente por distintos lugares, también.

El agregado de un inversor a la salida de una AND o una OR genera dos nuevos tipos de compuertas, figura 8.

“La salida esta normalmente en 1 salvo que todas las entradas sean 1”

“La salida está normalmente en 0 salvo que todas las entradas sean 0”

C	B	A	Q	NAND	C	B	A	Q	NOR
0	0	0	1		0	0	0	1	
0	0	1	1		0	0	1	0	
0	1	0	1		0	1	0	0	
0	1	1	1		0	1	1	0	
1	0	0	1		1	0	0	0	
1	0	1	1		1	0	1	0	
1	1	0	1		1	1	0	0	
1	1	1	0		1	1	1	0	

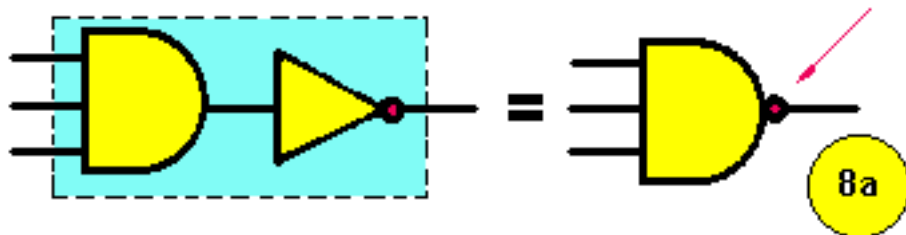
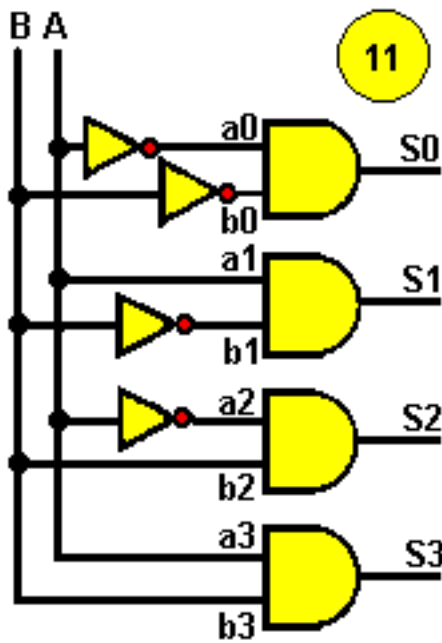


FIGURA 8

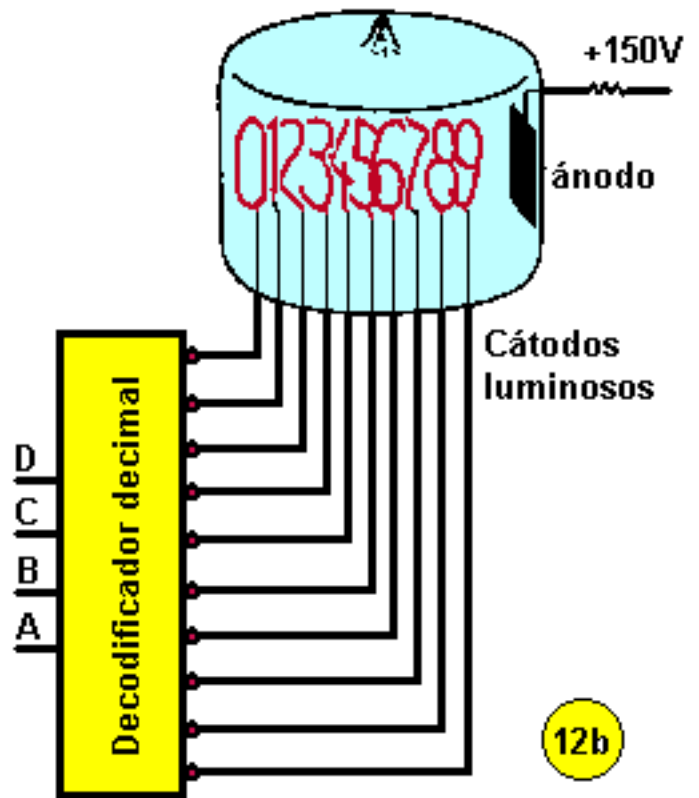


El circuito de la figura 11 se denomina decodificador.

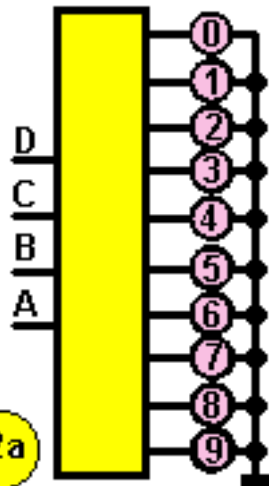
Figura 11: Decodificador.

Como se ve, cada compuerta "detecta" si el número binario aplicado a las entradas es el que le corresponde. Por ejemplo, la

compuerta con salida S2 detecta el número 2. Todas las salidas están en cero excepto la activada.



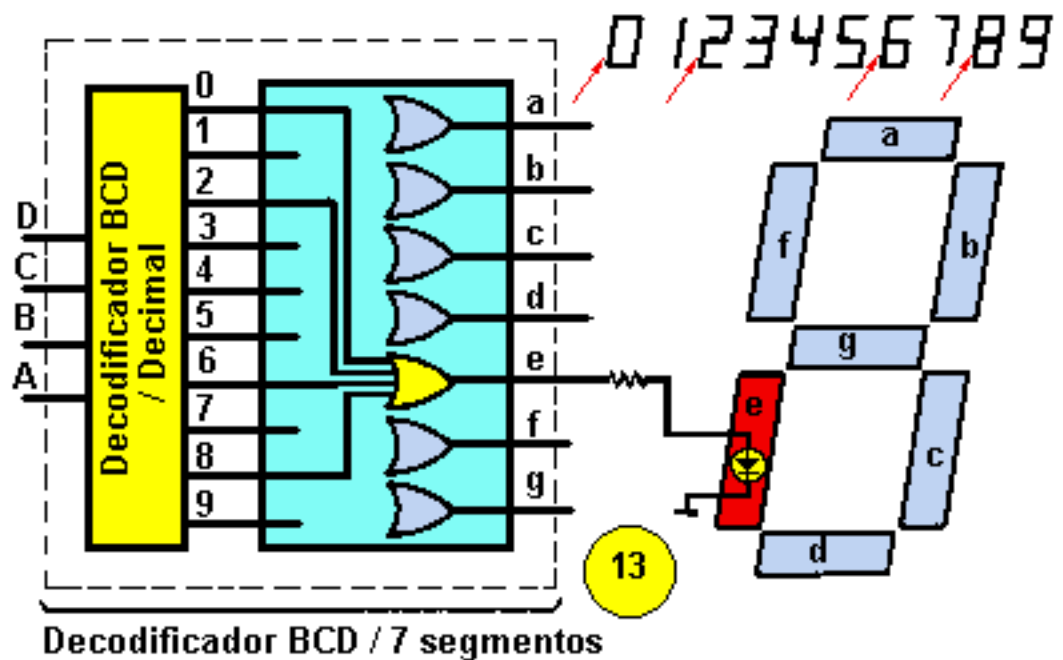
12b



12a

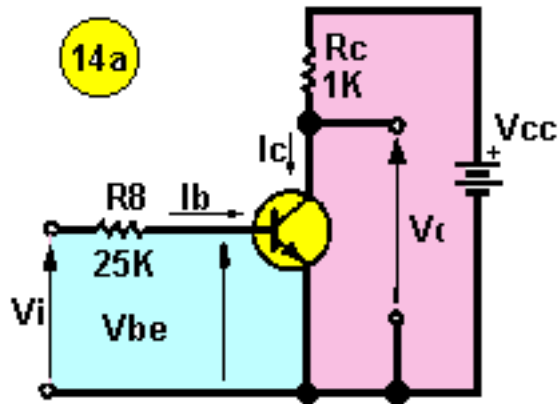
Veamos la figura 12, que ilustra dos circuitos que hacen encender el número correspondiente al código BCD (0 al 9) aplicado. FIGURA 12

Pasemos a otro tipo de decodificador, que convierte el código BCD en una salida para excitar un display de 7 segmentos, figura 13.



13

FIGURA 13

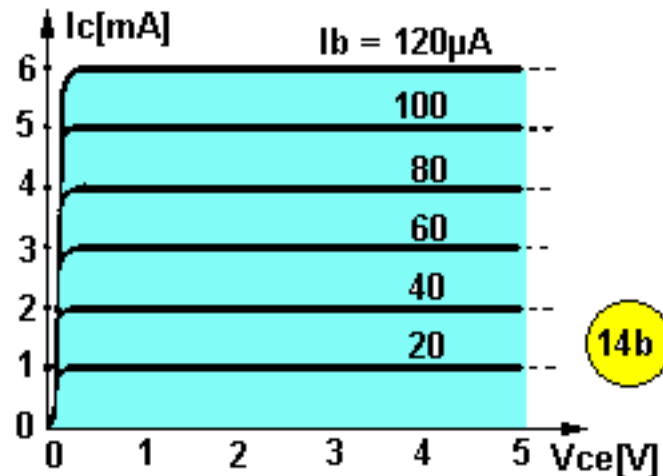


Se ha detallado únicamente la parte dedicada al segmento "e". Como este segmento debe encender cuando la entrada BCD es 0, 2, 6 ú 8 solamente, la OR que lo controla tiene sus entradas conectadas precisamente a las salidas 0, 2, 6 y 8 del decodificador BCD a decimal. Si se detecta alguno de estos números, entonces una de las entradas de la OR tiene un 1, y entrega a su salida un 1 que enciende al segmento mencionado.

Este circuito nos es útil a los fines de ejemplo. Aclaremos que mediante una técnica de minimización, es posible diseñar un circuito que

emplee menos compuertas, pero cuya comprensión excede el propósito de esta obra.

ESTUDIO DE UN INVERSOR



Para familiarizarnos con los circuitos de conmutación, estudiaremos paso por paso cómo se construye la curva de transferencia de un simple inversor.

Partiremos del siguiente circuito, acompañado de las características de salida del transistor empleado (proporcionadas por el fabricante del transistor, quien las obtuvo excitando la base con un generador de corriente)

FIGURA 14

Una solución rápida sería armar el circuito, aplicar una tensión ajustable en

V_i , y medir V_o para cada valor de V_i . Pero resulta interesante seguir el desarrollo matemático.

Una posibilidad es calcular V_o para unos cuantos valores arbitrarios de V_i , y graficar. O sea:

- 1) Adoptar un cierto valor de V_i .
- 2) Calcular la I_b resultante con: $I_b = V_{rb} / R_b = (V_i - V_{be}) / R_s$
- 3) Conociendo I_b , ir a las curvas y hallar la I_c correspondiente.
- 4) Conociendo I_c , calcular V_{ce} con: $V_{ce} = V_{cc} - V_{rc} = V_{cc} - I_c \times R_c$

Este procedimiento es lógico, pero los valores de I_b obtenidos en la mayor parte de las veces no coincidirían con las curvas que da el fabricante sino que caerían en el medio de las mismas, obligando a interpolar. En vez de ello, conviene que lo que se adopte sea una I_b que figure en las características, y después averiguar qué V_i haría falta para dicha I_b :

- 1) Adoptar una cierta I_b .

- 2) Calcular la V_i correspondiente con: $V_i = V_{be} + V_{rb} = V_{be} + I_b \times R_b$
- 3) Conociendo I_b , ir a las curvas y hallar la I_c correspondiente.
- 4) Conociendo I_c , calcular V_{ce} con: $V_{ce} = V_{cc} - V_{rc} = V_{cc} - I_c \times R_c$

Como V_{be} depende de I_b , el valor de V_{be} utilizado en (2) también debería tomarse de otro gráfico proporcionado por el fabricante, pero como esta tensión varía poco con I_b se la tomará constante, adoptando el valor de 700 mV (excepto al considerar $I_b = 0$), típico de las junturas de silicio para intensidades de corriente del orden del mili-Amper.

Item	I_b μA (1)	V_{be} mV (2)	V_i mV (3)	I_c mA (4)	V_{ce} V (5)
A	0	0	$0 + 0 \times 25 = 0$	0mA	$5 - 0 \times 1 = 5$
B	20	700	$700 + 20 \times 25 = 1200$	1	$5 - 1 \times 1 = 4$
C	40	700	$700 + 40 \times 25 = 1700$	2	$5 - 2 \times 1 = 3$
D	60	700	$700 + 60 \times 25 = 2200$	3	$5 - 3 \times 1 = 2$
E	80	700	$700 + 80 \times 25 = 2700$	4	$5 - 4 \times 1 = 1$

- Nota 1: I_b adoptada.
 Nota 2: V_{be} supuesta.
 Nota 3: V_i Calculada.
 Nota 4: I_c de las características.
 Nota 5: V_{ce} calculada.

Hasta aquí comprobamos que la relación entre I_c e I_b (o sea el h_{fe} , ganancia de corriente) es constante, y vale 50 para nuestro transistor. Antes de continuar con mayores I_b conviene graficar las combinaciones de V_{ce} e I_c obtenidas, sobre las mismas características del transistor, figura 15.

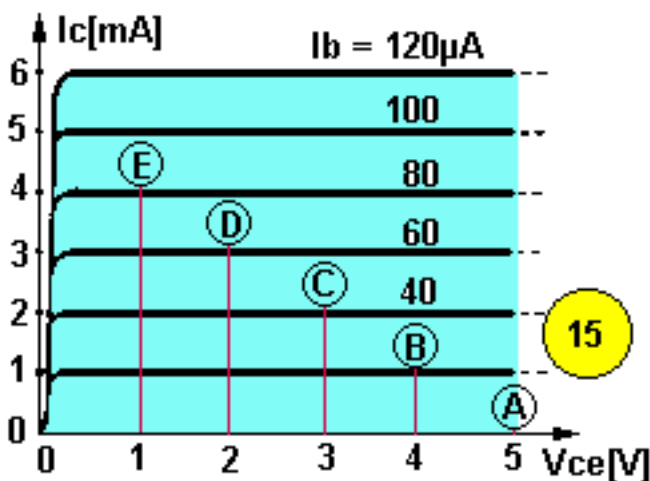


FIGURA 15

Es interesante notar que uniendo los puntos hallados se obtiene una recta, denominada **recta de carga**, sobre la cual existen todas las combinaciones posibles de V_{ce}/I_c que pueden ocurrir en el circuito del ejemplo.

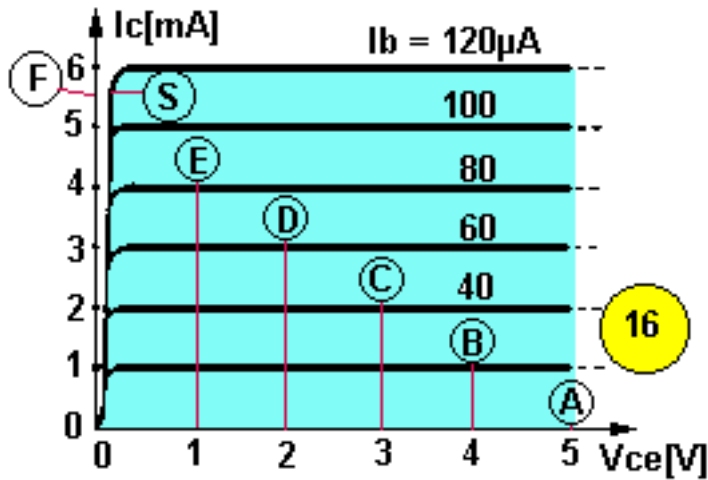
El lector se dará cuenta de por qué se detuvo el procedimiento en $I_b = 80 \mu A$

Hasta ahora, conocer I_b era toda la información necesaria para hallar I_c , pues se caía sobre la parte de las curvas

en que son horizontales, es decir, en donde I_c no depende de V_{ce} , también llamada zona activa del transistor, o de corriente constante. Pero ahora nos hemos acercado a la zona de saturación, donde I_c varía mucho con V_{ce} y poco con I_b .

Probemos extrapolar (prolongar) la recta de carga. Si A era el punto de máxima tensión y corriente nula, supongamos un punto F **hipotético**, que corresponda a tensión nula y

máxima corriente.



Esta condición es imposible, pues con circulación de corriente por el colector V_{ce} nunca puede hacerse cero, lo cual se deduce del gráfico, pero dicho punto ficticio es útil de todos modos para determinar la tensión de saturación del circuito, y para acelerar el trazado de rectas de carga **ahora que conocemos esta propiedad.**

Así que, con $V_{ce} = 0$, toda la tensión de fuente caería sobre R_c , produciendo $I_c = 1 \text{ V} / 1 \text{ Kohm} = 5 \text{ mA}$ (en el punto F)

FIGURA 16

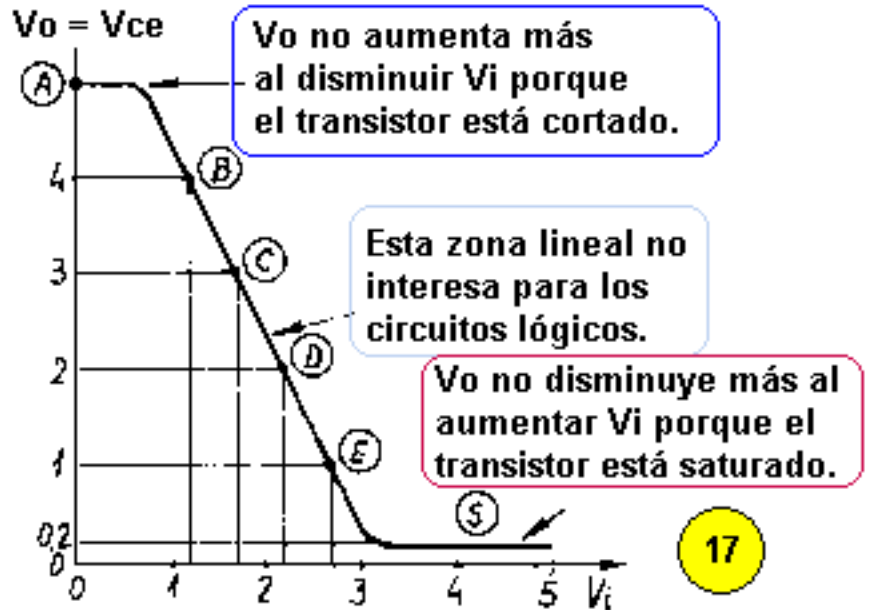
Ahora vemos que al punto de saturación (S) corresponde $I_c = 4,7 \text{ mA}$ y $V_{ce} = 0,2 \text{ V}$. La corriente de base es de aproximadamente $100 \mu\text{A}$, y aunque se aumenta a 150, 200 ó más, la condición varía poco, porque allí las curvas prácticamente se juntan.

V_i para el punto S será: $V_i = 700 \text{ mV} + 100 \mu\text{A} \times 25 \text{ Kohm} = 3,2 \text{ V}$

Ahora sí podemos trazar la curva de transferencia del circuito completo, figura 17.

FIGURA 17

Observando esta curva, puede decidirse los niveles lógicos a los que responde el circuito. Digamos que la entrada considera como 0 lógico a toda tensión inferior a 1 V, y como 1 lógico a toda tensión superior a 3V. Una forma de probar esta



aseveración, es conectando dos circuitos similares en cascada y verificar el cumplimiento de los niveles lógicos, figura 18.

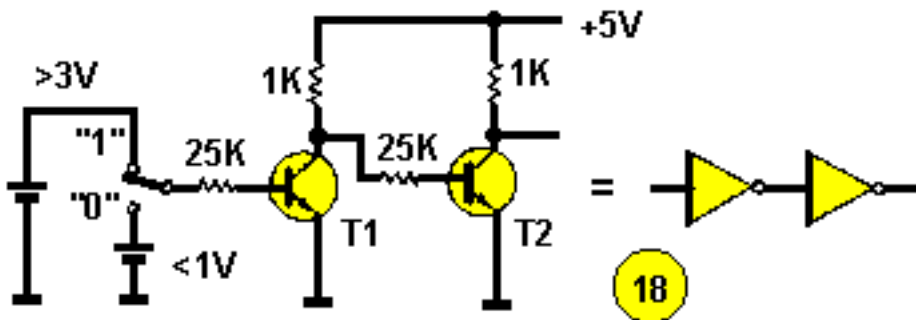
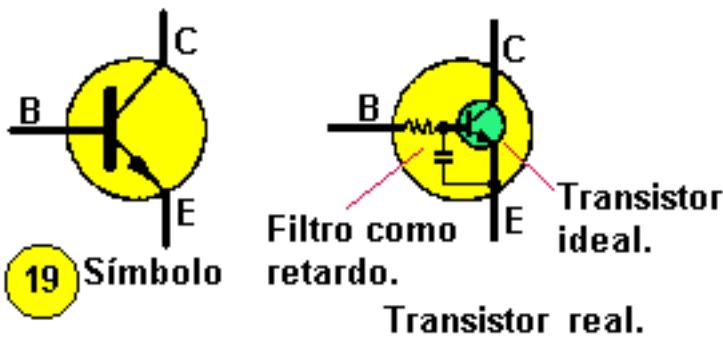


FIGURA 18

Colocando la llave en "1", T1 producirá los 0,2 V de saturación, que T2 interpreta como 0 lógico, dando a su vez un "1" (5 V) en su colector.

Con la llave en "0", T1 se corta. Su Vce no llega a 5 V debido a la Ib tomada por T2. El cálculo arroja 4,8 V, valor perfectamente válido como para que T2 lo interprete como un 1 lógico y produzca un 0 a su salida.

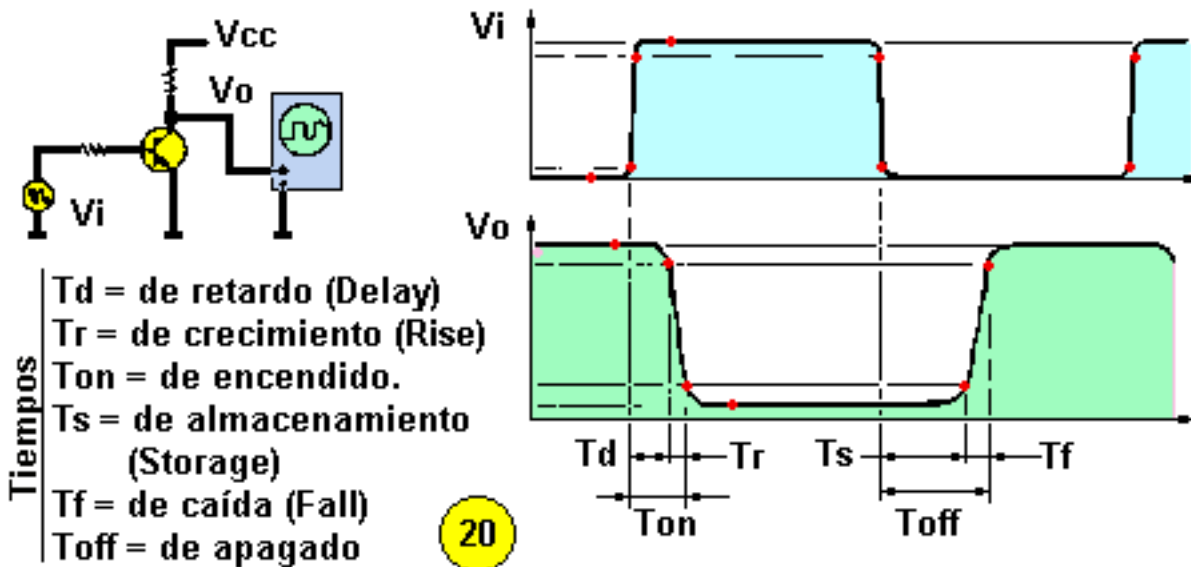
Si a la salida del primer inversor, vamos agregando más y más inversores con todas las entradas en paralelo, formando un "abanico" (fan), la circulación de todas las Ib por el resistor Re de la primer etapa hará que el nivel del estado 1 en la interconexión sea cada vez más bajo. Con unas 21 entradas en paralelo, dicho valor llega a los 3 V, y si seguimos cargando ya no se cumplirá este valor que habíamos garantizado. Se dice que el "fan out" (cargabilidad de salida) de este circuito. es de 21, cuando se lo carga con circuitos de la misma familia.

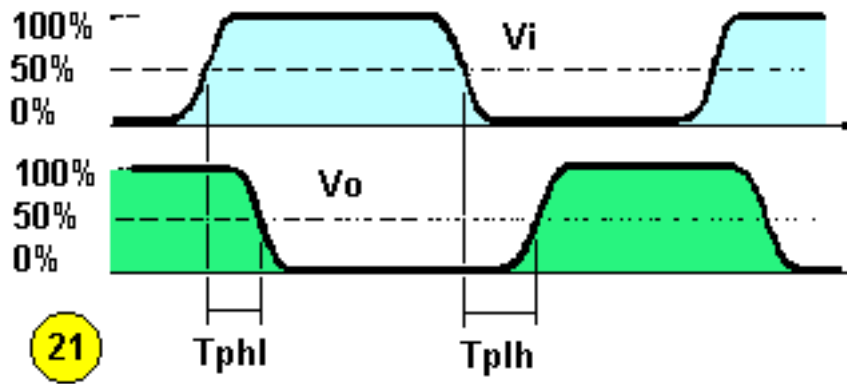


El circuito estudiado es del tipo "lógica saturada" pues es la saturación del transistor lo que proporciona un nivel bien definido para el estado 0. Esto se logra dimensionando el resistor de base como para que la base reciba bastante más corriente que la estrictamente necesaria para saturar.

FIGURA 19

Esto también es beneficioso en cuanto a la reducción del tiempo que el transistor demora para conducir plenamente, cuando se lo excita (turn-on time). En efecto, hay una serie de capacitancias distribuidas en la estructura de la base del transistor (ver figura 19) que retardan la conducción, y cuyo efecto se reduce aplicando generosas cantidades de Ib para cargarlas rápidamente.





Sin embargo, este mismo remedio empeora el tiempo necesario para pasar al corte (turn-off time).

FIGURA 21

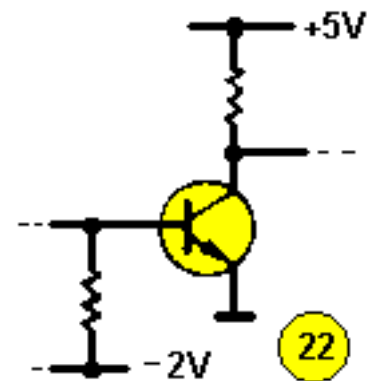
Precisamente, cuando se quita la corriente de base hay que “esperar” que se descargue todo ese exceso de portadores de corriente

en la base para que comience a de-saturarse
Veamos en la figura 20 las formas de onda en este circuito.

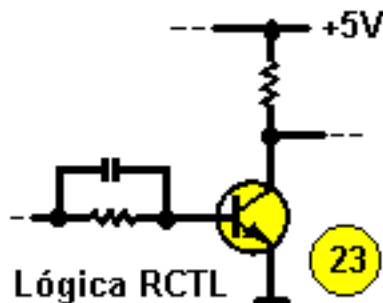
Estos términos se refieren al circuito de computación. En el idioma de las compuertas lógicas, se especifica en cambio:

Una posibilidad para reducir el tiempo de apagado es retornar la base a una cierta polarización inversa (ver figura 22), para así forzar una descarga más rápida.

FIGURA 22



Esta solución conspira contra la economía del circuito, por requerir una fuente de alimentación adicional.



Lógica RCTL

Otra idea es la de colocar un capacitor en paralelo con el resistor de excitación (figura 33) para proveer picos de corriente de base en los bordes de los pulsos, pero el hecho mismo de tener que usar capacitores dificulta mucho la integración de esta alternativa. (Nota del Editor: fabricar un monolítico).

FIGURA 23

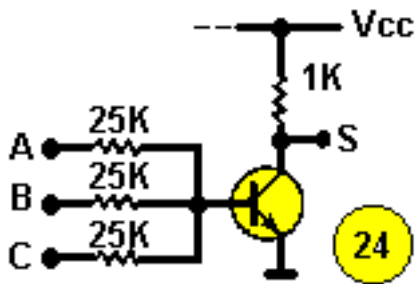
En su momento estudiaremos las familias ECL y TTL Schottky, que evitan o remedian respectivamente este problema del tiempo de apagado de modos más prácticos.

FAMILIAS LOGICAS

Un determinado tipo de compuerta puede implementarse de varias formas. Con cada forma de implementación se puede desarrollar toda una “familia” de funciones lógicas. Las características más importantes de cada familia son:

- 1) Velocidad (frecuencia) máxima de funcionamiento,
- 2) Disipación (consumo) y
- 3) Niveles de los estados lógicos.

Estudiaremos las familias. **RTL, DTL, TTL, ECL, I2L, MOS y CMOS**, poniendo como ejemplo una compuerta típica de cada una.



Familia RTL (Lógica Resistor-Transistor)

Esta familia emplea resistores y transistores para construir las compuertas. La figura 24 es un ejemplo de compuerta en tecnología RTL; no mencionaremos por ahora de qué tipo es, sino que trataremos de deducirlo.

FIGURA 24

Supongamos que todas las entradas se hallen conectadas a un nivel lógico 0, por comodidad elegimos la masa.

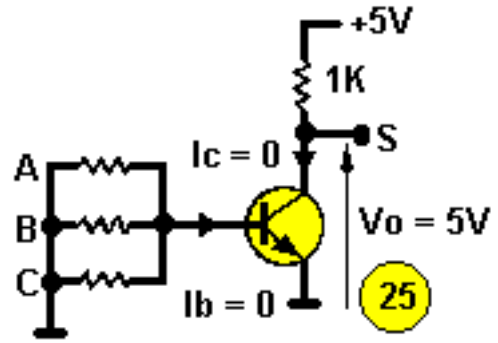


FIGURA 25

El transistor se halla al corte, con lo que la tensión de salida (colector) es máxima (nivel 1). Ahora apliquemos un nivel 1 a una sola entrada. por comodidad elegimos la tensión de alimentación.

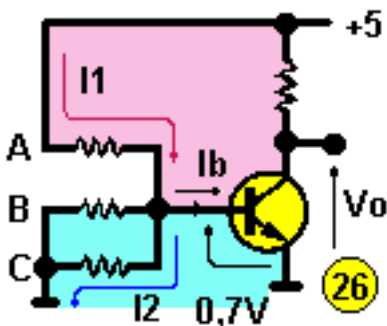


FIGURA 26

La alimentación de base es proporcionada por el resistor conectado a la entrada A. Los otros dos, por estar a masa, "roban" una parte de la corriente, pero el resto que llega a la base es suficiente para saturar al transistor (o sea que se produce un nivel lógico cero en la salida), lo cual se comprueba echando un vistazo a la recta de carga de la figura 16, que vale también para este circuito por tener idéntica salida.

¿Qué ocurrirá si conectamos dos entradas o las tres a un nivel 1?

Pues se tendrá una corriente de base mayor todavía, con lo que el transistor también se saturará.

Hemos comprobado que este circuito requiere que todas las entradas estén en 0 para obtener un 1 a la salida, produciendo un 0 para todas las demás combinaciones. De modo que se trata de una compuerta NOR. Veamos ahora la figura 27.

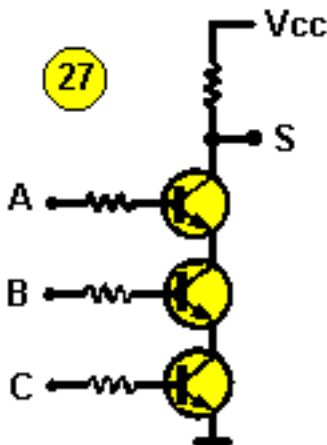
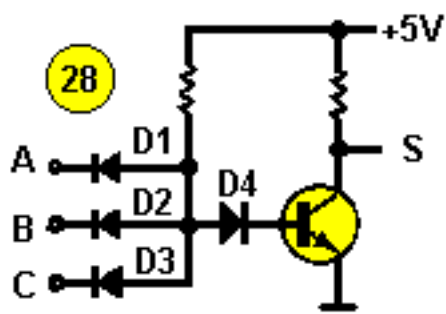


FIGURA 27

Para obtener un 0 a la salida, es necesario que todos los transistores estén saturados, para lo cual todas las entradas deben tener aplicado un 1. Vemos que responde a la función NAND.

RTL fue la primer lógica transistorizada. Hoy en día, los CI RTL son obsoletos por no presentar ninguna ventaja sobre las otras



la figura 28.

FIGURA 28

Nuevamente, comenzaremos el estudio con todas las entradas a masa (nivel 0).

familias, pero es común que se recurra a esta lógica cuando se debe construir una compuerta con componentes discretos. Nótese que en RTL dejar una entrada en el aire, sin conectar, equivale a aplicarle un 0.

Familia DTL (lógicas diodo-transistor)
Aquí, la estructura lógica emplea diodos y transistores, véase

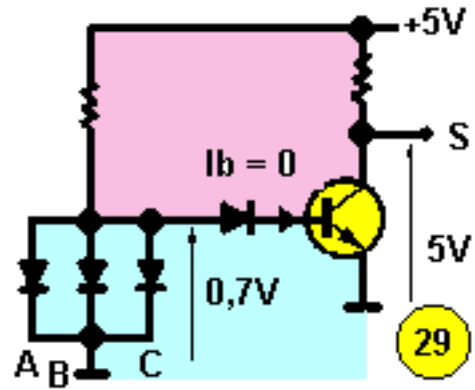
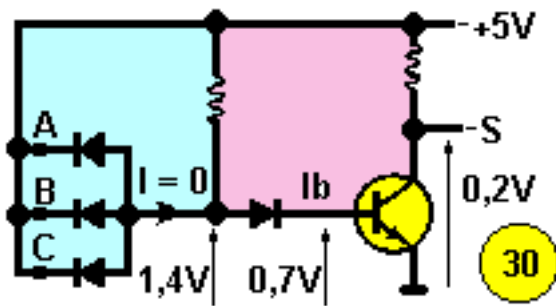


FIGURA 29

Los diodos de las entradas conducen, aplicando 0,7 V a D4, con lo cual el transistor no alcanza a tener los 0,7 V necesarios para la conducción, y el nivel de colector es 1.

¿Qué pasa si una sola de las entradas es llevada a + 5 V (estado 1)?



El diodo, correspondiente estará con el cátodo más positivo que el ánodo, en inversa, mientras que los dos restantes siguen evitando la conducción del transistor.

Sólo cuando todas las entradas son llevadas a 1 se permite la circulación de corriente de base, con lo que el transistor se satura, ver figura 30.

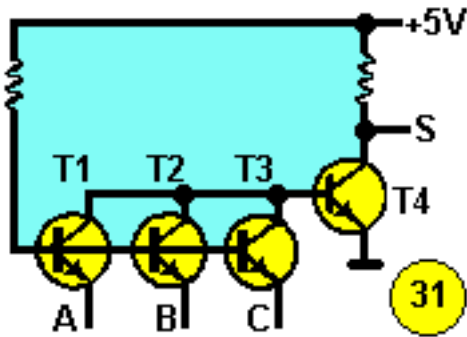
FIGURA 30

De modo que el circuito obedece la tabla de verdad **NAND**.

En este análisis se ha despreciado la corriente de fuga de los diodos en inversa.

Como se ve, los diodos en las entradas producen la función **AND**, que luego es invertida por el transistor. El diodo en serie con la base no hace a la función lógica en sí, simplemente actúa como “desplazador de nivel” para garantizar que el transistor no llegue a conducir cuando las entradas están en 0. Por lo general, se coloca además un resistor entre base y emisor, que provee un camino de drenaje al exceso de carga almacenada en la base cuando se quiere cortar al transistor, para acelerar el apagado.

La familia **DTL** puede trabajar a velocidades mayores que la **RTL**. Además es más fácil de integrar, pues emplea menos resistores, los cuales son difíciles de fabricar en un **CI** en comparación con los diodos o los transistores. Fue la familia de uso universal a fines de los años 60, pero ha sido también superada.



En **DTL**, una entrada en el aire es lo mismo que conectada a un 1.

Hay una variante de los **DTL** que utiliza diodos Zéner en las entradas para aumentar la tensión del nivel 1. Así, habiendo gran diferencia entre 0 y 1, esta lógica es más inmune frente a los picos de ruido que pudieran ser captados en las conexiones. Recibe los nombres de **HTL** (lógica de umbral elevado), **HiNIL** (lógica de elevada inmunidad al ruido), y también lógica de baja velocidad, **LSL**, pues se hace lenta a propósito para inmunizarla aún más.

FIGURA 31

Se emplea especialmente en ambientes con elevada “contaminación” electromagnética (control de motores, contactores, etc.).

Familia TTL (lógica transistor-transistor)

Es la heredera directa de la **DTL**. Emplea exclusivamente transistores para las funciones lógicas (figura 31).

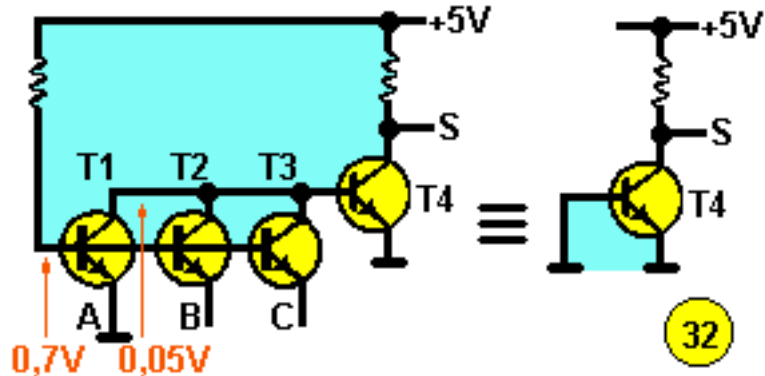


FIGURA 32

Los tres transistores de las entradas tienen las bases y los colectores en paralelo; la forma de dibujar las conexiones de las bases es una comodidad del dibujante.

Supongamos una entrada a nivel 0, y las otras dos sin conectar

Aquí, T1 está saturado de una forma poco común: sin corriente de colector. No hay en el circuito ningún resistor que se la pueda suministrar. Investigando el punto de arranque de las curvas en la característica de salida, encontramos que la V_{ce} es del orden de 50mV, o sea prácticamente un cortocircuito entre base y emisor del transistor de salida.

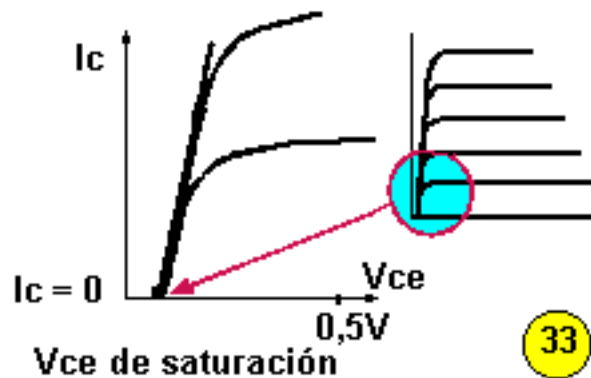
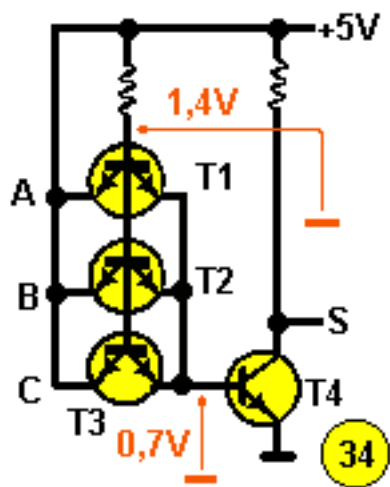


FIGURA 33

Este cortocircuito no sólo garantiza el estado de corte, sino también el rápido apagado por



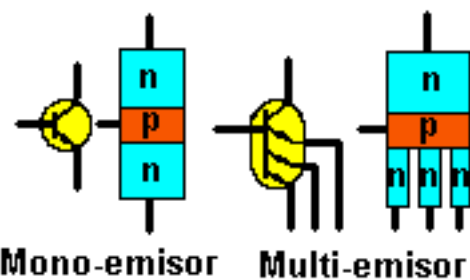
la eliminación de la carga en la base (ver comentario en el estudio de un inversor). Por contraste, en la familia **DTL** el transistor de salida era llevado al corte simplemente interrumpiendo su excitación, método que no ayuda a la eliminación del exceso de carga.

Si conectamos a masa el resto de las entradas la situación no varía: los transistores adicionales contribuirán a colocar el cortocircuito en forma repartida.

Si retornamos a +5 V todas las entradas, cada transistor correspondiente actuará más bien como un par de diodos, en inversa el conectado a la entrada, y en directa el otro con lo cual proporciona corriente a la base de T4 (figura 34) que se satura y produce un nivel 0.

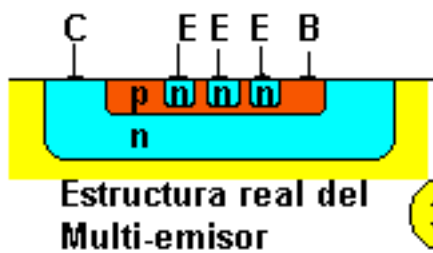
FIGURA 34

En rigor de verdad, en esta polarización invertida (juntura **BE** en inversa y **BC** en directa)



los transistores siguen portándose todavía como tales, pero con un h_{fe} muy bajo, de modo que la corriente en las entradas de un **TTL**, cuando se les aplica un nivel 1, es mayor que la que cabría esperar de un diodo en inversa (como sería el caso de un **DTL**), porque es algo así como una corriente de colector.

Conceptos

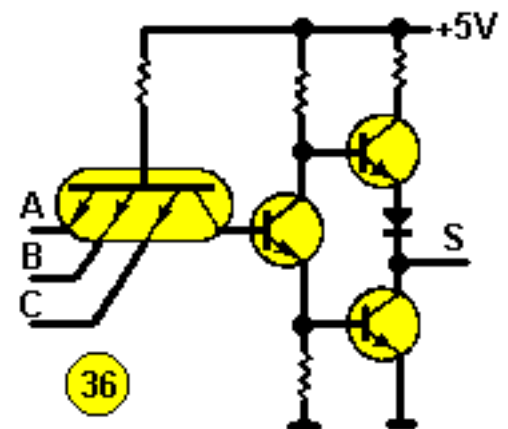


Si por lo menos una entrada se encuentra en el estado 0, ya tendremos un cortocircuito en la juntura **BE** del transistor de salida, entregando éste un nivel 1. Se ve que se trata de una compuerta **NAND**.

Además de superar a las **DTL** en velocidad, las compuertas **TTL** presentan una peculiaridad que

las hace más fáciles de integrar: como todos los colectores y bases de los transistores a la entrada van unidos, se recurre a la estructura de la figura 35: fabricar un transistor con una sola base, un solo colector, y tantos emisores como entradas

FIGURA 35



El circuito de la figura 35 es típico de una compuerta interna de un **CI**, cuya salida no esté accesible a una pata. En caso contrario lo común es encontrar un amplificador de salida constituido por dos transistores conectados en "totem", para que la compuerta pueda manejar mayores corrientes tanto en el estado 1 como en el 0 (figura 36).

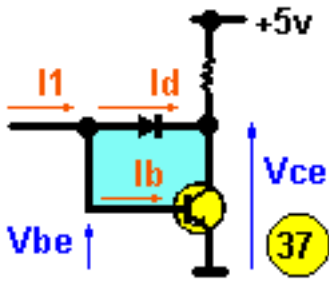


FIGURA 36

Ya mencionamos que si se permite que un transistor se sature, después resulta lento para de-saturarse (“lento” en el orden de 100 a 1000ns, tiempos muy largos en comparación con la decena de ns que podría tardar en encenderse), pero que si evitamos la saturación, el estado 0 no queda tan bien definido. La figura 37 ilustra una solución muy buena:

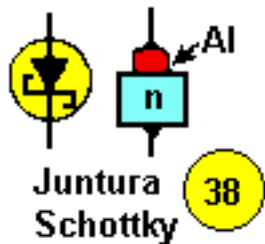
FIGURA 37

Se ha agregado un diodo de germanio entre base y colector del transistor, que es de silicio. Una propiedad de las junturas de germanio es que presentan menor caída directa que las de silicio.



Cuando el transistor no es excitado, se ve que el diodo está polarizado con el cátodo más positivo que el ánodo, de modo que no conduce.

Al aplicar corriente a la entrada, el transistor comienza a conducir: hasta tanto la tensión en colector no baje lo suficiente, el diodo no se polarizará en directa, de modo que la base recibirá la totalidad de la corriente de entrada, abundante como para apurar la saturación.

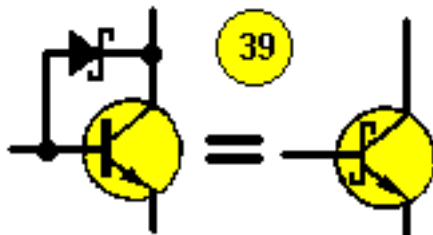


Pero una vez que el cátodo llega a estar unos 0,2V más negativo que el ánodo el diodo conducirá, de modo que “robará” una parte de la corriente que antes iba a la base, arrojándola al colector.

FIGURA 38.

Cuando se necesite apagar el transistor, éste responderá rápidamente pues el enclavamiento de V_{ce} provisto por el diodo evitó la saturación plena.

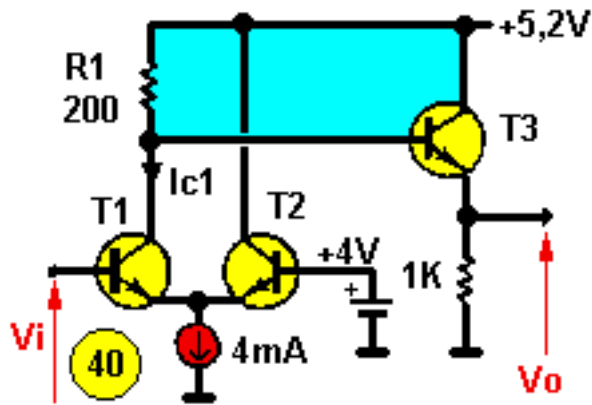
Como no se puede integrar- diodos de germanio por elementales razones de metalurgia (Técnica de los semiconductores), se recurre a las junturas de silicio con metal, figura 38, que poseen una caída de tensión directa unos 200 a 300 mV menor que los convencionales.



Se trata de los diodos de “portadores activos” (hot-carrier), también llamados diodos **Schottky**. Las compuertas **TTL Schottky** emplean estos diodos para enclavar todos aquellos transistores con posibilidad de saturarse.

El símbolo de un transistor más un diodo **Schottky** entre colector y base se dibuja como un solo componente (figura 39).

FIGURA 39



Lógicamente, debido a que los transistores **Schottky** no llegan a saturar tan bien como los desprovistos de enclavamiento, la tensión del estado 0 es un poco más alta (0,5 V contra 0,4 V, valores máximos).
 FIGURA 40

Familia ECL (lógica acoplada por

emisor)

Se trata de una familia de lógica no saturada. Los transistores que la componen no están en la configuración de emisor a masa como todas las que vimos, sino que se conectan como pares diferenciales alimentados por un generador de corriente en la unión de los emisores. Como la corriente máxima del transistor no puede exceder la proporcionada por este generador, se tiene un buen control sobre las excursiones de tensión en colector, pudiendo evitarse la saturación por diseño.

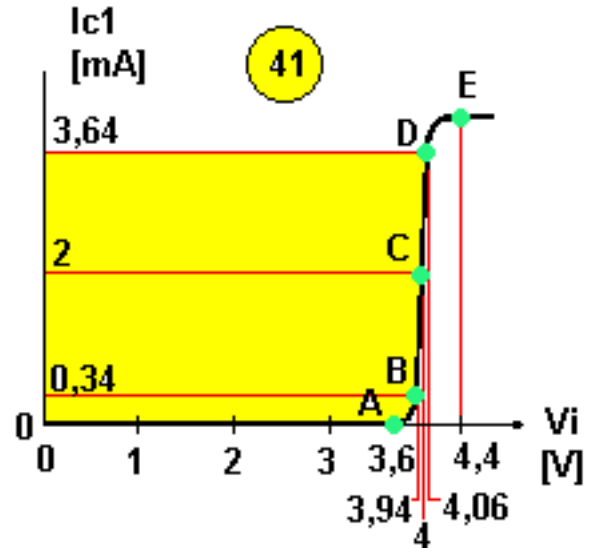
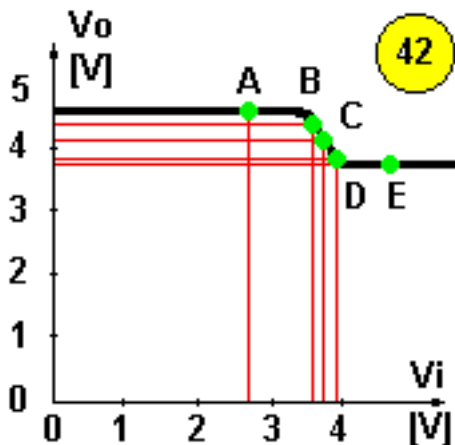


FIGURA 41



La figura 40 representa una configuración de ejemplo.

Para levantar la curva de transferencia, nos ayudaremos con las siguientes consideraciones:

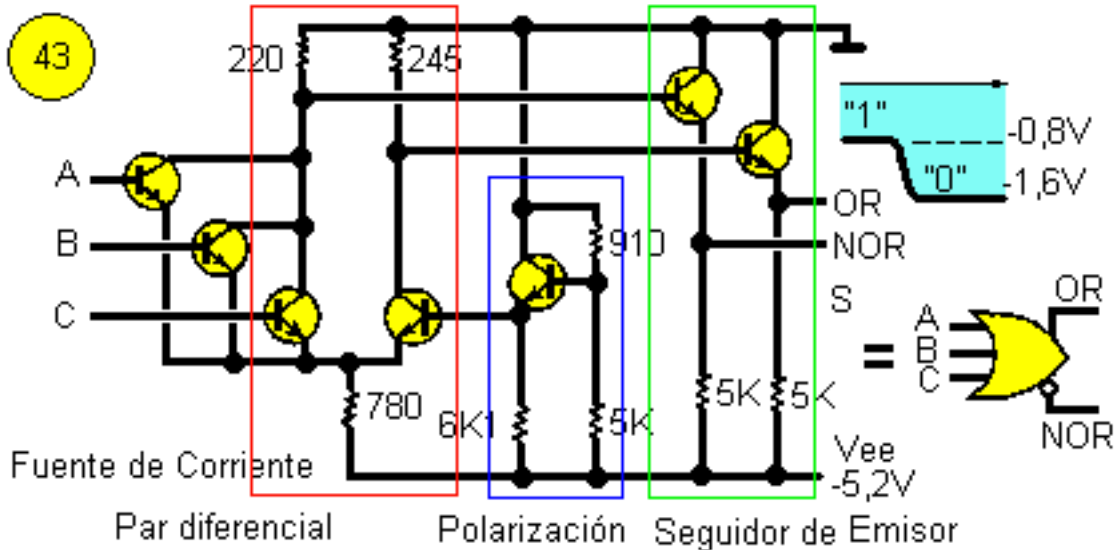
- a) Los transistores del par diferencial están apareados (iguales I_c para iguales V_{be}).
- b) Se supondrá que I_c es prácticamente igual a I_e , y que no es influida por V_{ce} (los transistores del par no tienen iguales V_{ce}), siempre y cuando no sature.
- c) En un par diferencial a 25°C, si un transistor tiene su base 60mV más positiva que la del otro, conducirá diez veces más que éste.

FIGURA 42

En la figura 41 se representó la I_c de **T1** contra la tensión en su base, o sea V_i . Para el punto C cada transistor se reparte la mitad de la corriente. En B, **T1** tiene su base 60mV más negativa; y en D, 60mV más positiva, correspondiéndole una I_c 10 veces menor o mayor que la del compañero, respectivamente. Excediendo esta zona de +/- 60 mV, puede

decirse que **T1** se va totalmente al corte (A) o se "roba" toda la corriente (E) No se continuó más allá de $V_i = 4,6V$ porque si no **T1** entra en saturación.

Cada valor de I_c obtenido fue utilizado para calcular la tensión de salida, figura 42. Nótese la escasa diferencia entre los estados 1 y 0. No obstante (si no se excede el límite de 4,6 V en la entrada), ningún transistor entra en saturación con lo cual la velocidad del circuito es notable. La figura 43 muestra una compuerta práctica. Debido a que los niveles **ECL** se definen mejor con referencia a V_{cc} (en vez de referirlos a una masa negativa, que



es el nivel de 0 de las lógicas saturadas) es muy común utilizar estos circuitos con alimentación negativa (Vee de emisores).

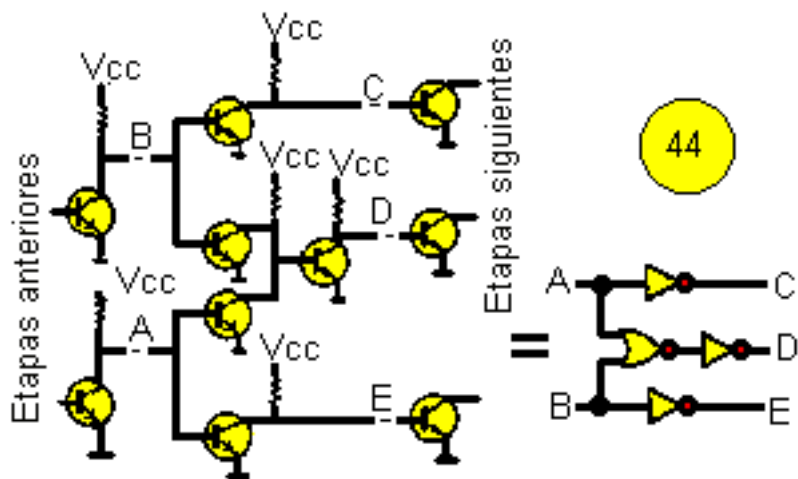
FIGURA 43

Una característica única de los **ECL**: como de un par diferencial se pueden tomar dos salidas con fase opuesta, a menudo se explota esta propiedad para tener dos tipos complementarios de compuerta a la vez, por ejemplo, OR y NOR según cual salida se desee, de allí el símbolo con dos salidas.

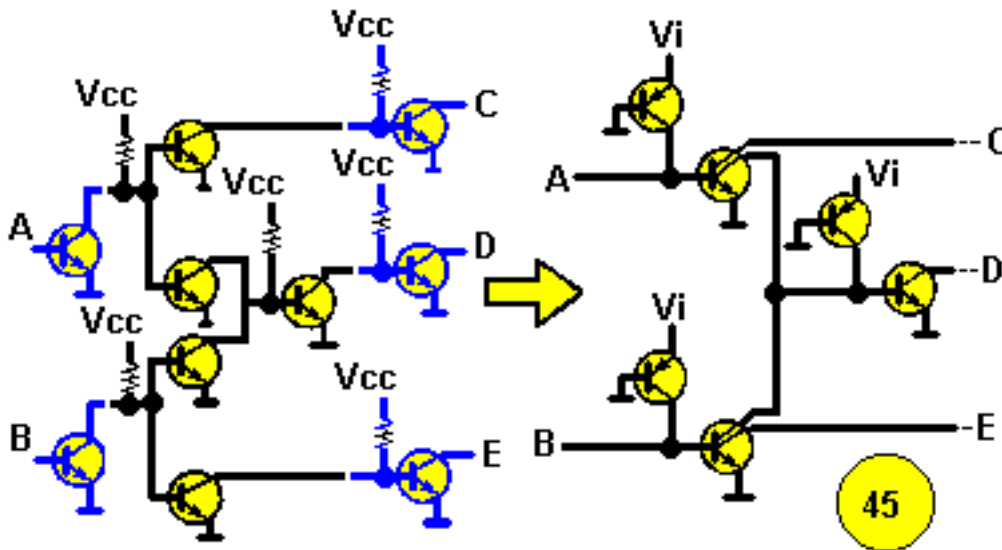
FIGURA 44

**Familia IIL o I2L
(Lógica de inyección integrada)**

Como los resistores ocupan mucha superficie en los **CI**, es conveniente donde sea posible reemplazarlos por transistores que funcionen como fuentes de corriente. Este es el fundamento de la **I2L**, cuyo estudio realizaremos en varias etapas, La figura 44 muestra un circuito lógico, implementado con una familia lógica en desuso, llamada **DCTL** (lógica de transistores acoplados directamente).



En esta familia se han eliminado los resistores en serie con las bases, conectándose directamente bases con colectores. Los pasos siguientes son: imaginar los resistores como alimentando no a los colectores sino a las bases, y luego reemplazarlos por fuentes



de corriente, figura 45.

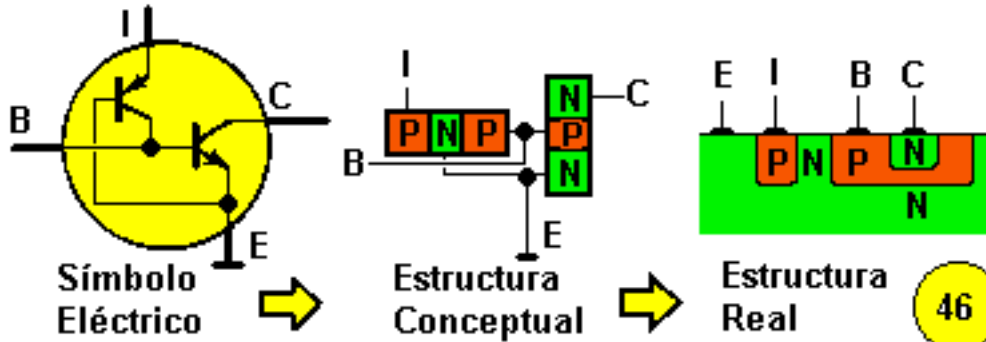
FIGURA 45

(De paso, se ha aprovechado un truco similar al caso de los TTL; si dos o más transistores tienen sus bases y emisores unidos, sólo se fabrica uno con una sola base, un solo emisor, y

tantos colectores como transistores se reemplacen).

El secreto de la I²L es que cada transistor PNP está integrado como parte del mismo NPN al cual inyecta corriente de base, con lo cual la superficie de CI ocupada es menor que la que se hubiese requerido para dos transistores. Veamos la figura 46.

FIGURA 46

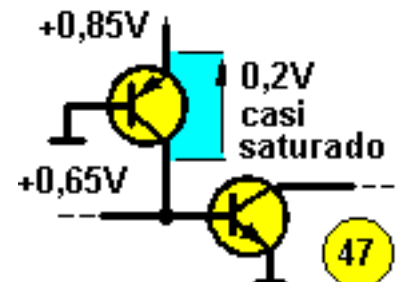


Como se ve, una zona P es a la vez la base del NPN y el colector del PNP, mientras que el sustrato (masa) es el emisor de todos los NPN y la base de todos los PNP del CI. Todos los emisores de los PNP van unidos,

y forman el electrodo inyector, que es la única conexión de alimentación. Este inyector debe ser polarizado con una corriente y no con tensión por cuanto no es más que una juntura en directa.

El proceso de fabricación de los I²L hace que, los PNP tengan una V_{be} de 0,85V (la tensión de inyector) y una baja tensión de saturación, porque si no de la forma en que se hallan conectados no tendrían V_{ce}, lo cual queda en evidencia tras consultar la figura 47.

FIGURA 47



Una forma de alimentar un I²L es usar una fuente mayor que

0,85V (por ejemplo 2V) y conectarla al inyector en serie con un resistor limitador, que determina el consumo total.

48	Símbolo	Estructura	Transferencia
Bipolar NPN			
JFET Canal N	D: Dren. G: Sumi. S: Sumi.		
MOSFET Canal N e/e			
MOSFET enriq Canal N	SS: subst		

Transistores FET y MOSFET

Hasta ahora hemos estudiado lógicas que emplean transistores bipolares.

Antes de ocuparnos de la lógica **MOS**, pasaremos revista a los distintos tipos de transistores por efecto de campo (**FET**) o unipolares.

(Nota: por comodidad de interpretación, ya que estamos acostumbrados a los circuitos con negativo a masa de las válvulas y transistores **NPN**, daremos preferencia en el estudio a los dispositivos de canal **N**, debiendo invertirse todas las polaridades en el caso de canal **P**. En un **MOS** llamaremos polarización de compuerta "directa" a la de polaridad contraria a la del canal: positiva si es **N**).

FIGURA 48

Un FET de juntura (**JFET**) es básicamente una barra semiconductor llamada canal con contactos en los extremos.

Se denomina surtidor al extremo por donde entran los portadores de corriente (electrones si el canal es **N**) y drenaje por donde salen. Así solo, el canal es simplemente un resistor. La compuerta es una difusión **P** a la que se le aplica una tensión inversa, con respecto al surtidor. Esta tensión inversa genera una zona vacía de portadores en la juntura, con lo que el ancho efectivo del canal disminuye, aumentado su resistencia. Con una tensión suficiente, el canal se estrangula; a la V_{gs} correspondiente se la llama tensión de corte o pellizcamiento (pinch-off) V_p . Si no se aplica ninguna tensión a la compuerta (o sea, si se la cortocircuita con el surtidor) circula un valor de I_d llamado I_{dss} .

Si se aplica una V_{gs} positiva, I_d aumentará un poco, siempre que no se excedan los 500mV, porque si no, comienza a conducir el diodo juntura-canal, y al circular corriente de compuerta se desaprovecha la ventaja de los **FET**, de tener alta resistencia de entrada.

Como se ve, el comportamiento de un **JFET** es muy parecido al de una válvula. Con valores de V_{ds} inferiores a unos 0,5V el transistor se comporta como un resistor

controlado: I_d depende tanto de V_{gs} como de V_{ds} . Por su baja impedancia se la llama zona triódica. Para más de 1 ó 2V en drenaje, I_d se estabiliza o “satura”, ya no aumenta más con V_{ds} , es la zona llamada pentódica, de corriente constante, o de saturación. No confundir con la zona de saturación de V_{ce} en los bipolares.

Si en vez de juntura se utiliza como compuerta una zona metálica aislada del canal con óxido de silicio, se evita el problema de la conducción con V_{gs} positivas, ya que entonces la compuerta se comporta como un capacitor, en vez de un diodo.

Este transistor se denomina **MOS-FET** por la mencionada construcción, y se lo llama de “enriquecimiento-empobrecimiento” (enhancement-depletion) porque la V_{gs} , según la polaridad, puede hacer que I_d aumente o disminuya. También se lo llama de canal permanente, por contraste con el que veremos a continuación.

El **MOSFET** de canal inducido no viene fabricado con un canal, sino que éste se halla interrumpido. Por lo tanto, es necesario que la V_{gs} sea en directa (positiva) para que se induzcan cargas contrarias en el otro lado del óxido, y así completar el canal. La tensión necesaria para hacer circular I_D se llama tensión de umbral V_t (thres-hold). Como el transistor está normalmente apagado a menos que se le aplique una V_{gs} suficiente, (lo cual hace que la curva de transferencia se parezca un poco a la de un bipolar) se lo denomina de “enriquecimiento solamente”. No se puede hablar de “tensión de corte”, pues ya está cortado cuando no se le aplica V_{gs} .

Por razones de fabricación, tanto los bipolares como los **JFET** y **MOSFET** poseen un sustrato el cual, en el caso de un **CI**, se debe conectar simplemente a la tensión más negativa del circuito. En el caso de **MOSFET** discretos, se conecta internamente al surtidor.

Los **JFET** jamás se utilizan en **CI** digitales porque, como son dispositivos de empobrecimiento solamente, requieren una fuente de polarización inversa para poder llevarlos al corte. Lo mismo vale para los **MOSFET** de canal permanente, si bien se utilizan excepcionalmente como cargas de corriente constante. En cambio, los **MOSFET**

de canal inducido se prestan perfectamente como elementos activos para las funciones lógicas, pudiéndose integrar con mayor densidad y menor costo que los bipolares.

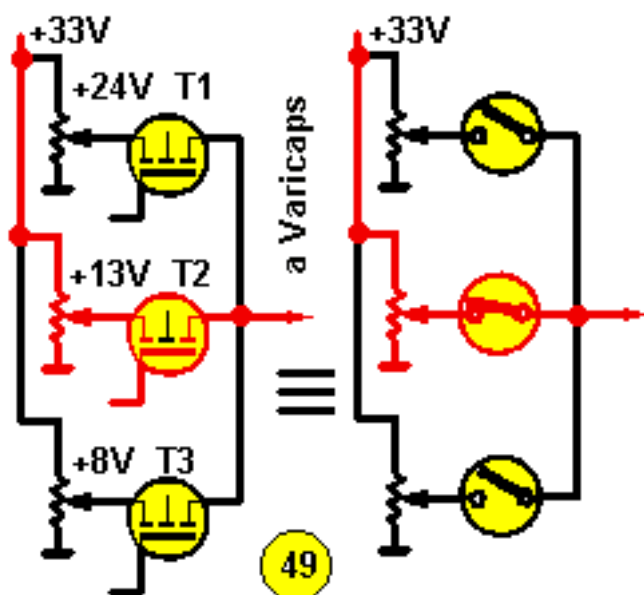


FIGURA 49

La zona triódica de un **JFET** o un **MOSFET** los hace útiles como resistores controlados por tensión en algunos circuitos analógicos, ya que para valores bajos de V_{ds} cumplen la ley de Ohm. Por otro lado, si se aplican niveles binarios de V_{gs} el transistor funciona como llave, con resistencia infinita cuando está al corte, y como un resistor de entre unos ohms y unos cientos de ohms (según las

características del FET) cuando se lo polariza como para conducción. La figura 49 ilustra el uso de **MOSFETS** para la conmutación de potenciómetros en un circuito de sintonía electrónica.

Como son **MOSFETS** de canal P, conduce el que tiene aplicada V_{gs} negativa (al estilo de un **PNP**), en este caso es T2.

Familia MOS

Veamos ahora cómo hacer trabajar a los **MOSFET** en los circuitos lógicos. La figura 50 muestra una típica compuerta **MOS**.

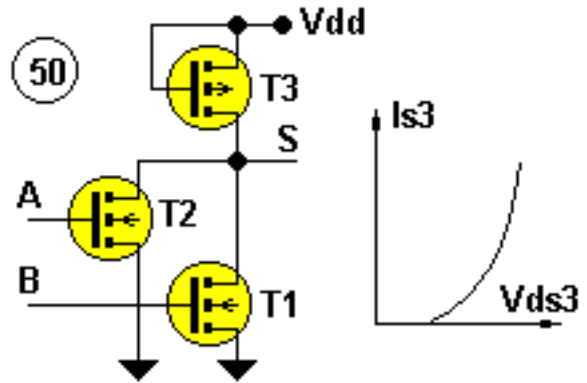


FIGURA 50

T3 está conectado como para simular un resistor de carga, una técnica más para evitar la integración de grandes y costosos resistores. En la misma figura se aprecia la característica de esta conexión: dista de parecerse a la de un resistor, y mucho menos a una fuente de corriente constante. A pesar de esta alinealidad, no preocupa en absoluto la distorsión que podría producir porque está en un circuito digital.

Valores típicos de V_{DD} varían entre: hasta 30V para diseños primitivos, y 5V para los más modernos, compatibles con TTL.

Comencemos por aplicar niveles lógicos 0 a ambas entradas, por comodidad elegiremos 0 V. Como T1 y T2 son transistores de enriquecimiento solamente, al no tener aplicada una V_{GS} suficiente como para inducir un canal, permanecerán al corte. La tensión de salida será igual a V_{dd} menos la V_t de T3.

Si aplicamos una tensión bastante mayor que V_t a T1 ó a T2 ó a ambos, se tendrá uno o dos transistores conduciendo. Entonces, se forma un divisor resistivo entre el transistor conectado a V_{dd} y el o los conectados a masa; pero como T3 se fabrica con una geometría más pequeña que las de T1 y T2 (o sea que su resistencia de conducción es bastante mayor) entonces la tensión de salida es cercana a 0 V. Como se ve, se trata de una NOR.

En la figura 51 los transistores T1 y T2 están en serie.

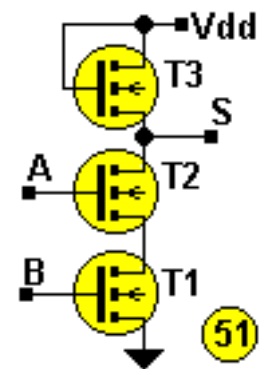
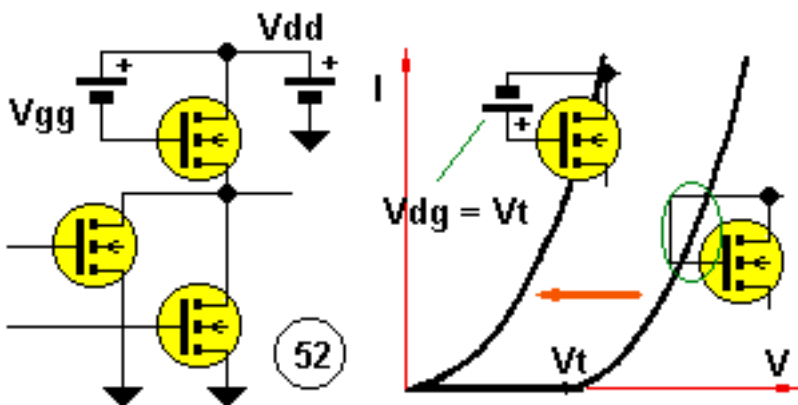


FIGURA 52 FIGURA 51

Como para obtener un estado 0 a la salida es necesario que tanto T1 como T2 tengan aplicado un 1, se trata de una compuerta **NAND**.

En los dos ejemplos vistos, la

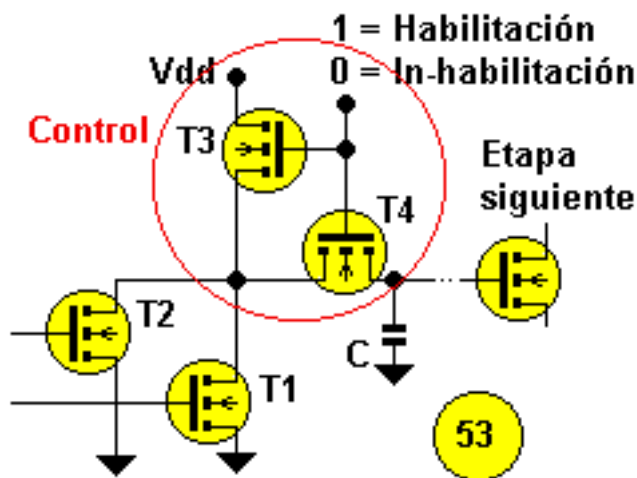


tensión de salida no llega al valor de V_{dd} porque aparece restando la tensión de umbral de T3. Para poder lograr la máxima excursión posible, muchos MOS emplean una alimentación adicional para las compuertas de todos los transistores de carga, figura 52.

Los MOS primitivos se hacían con canal P por razones de facilidad de fabricación. En estos dispositivos, si la línea de los surtidores (V_{ss}) se conecta a masa, entonces la alimentación V_{DD} debe ser negativa. Fue en tales épocas que se desarrolló la llamada "lógica negativa" según la cual el estado lógico 0 era 0 V y valores próximos, y el estado 1 era el valor de V_{dd} (negativo) y valores próximos. Esto contrasta con la lógica positiva, que no considera el valor absoluto de los niveles, sino que simplemente denomina 1 al nivel más positivo y 0 al más negativo, con lo que se facilita mucho la interpretación cuando se trata de circuitos combinados tales como PMOS con V_{dd} a masa y V_{ss} a una tensión positiva, o PMOS con TTL, etc. Una misma compuerta que es NOR en lógica positiva, se interpretaría como NAND en negativa, pero como los MOS se utilizan exclusivamente para integrar funciones muy complejas en un CI, todo lo que tiene que hacer quien va a usar el CI es interpretar el juego de instrucciones para el empleo de las patas de entrada y salida sin importar qué tipo de compuertas hay adentro.

Aprovechemos para señalar que en este libro se emplea exclusivamente lógica positiva. Además, por facilidad de interpretación y a la usanza de los circuitos valvulares, en los dibujos se procura mantener las tensiones más positivas del lado superior, y las negativas del inferior.

A partir de 1970 se introdujo una mejora en los MOS, consistente en usar silicio en vez de metal para la compuerta, con lo cual se logran valores de V_t menores, facilitando la compatibilidad con TTL. Y desde 1972 se han venido popularizando los NMOS, que trabajan a mayores velocidades (por la mayor movilidad de los electrones del canal en vez de lagunas) y con tensiones tan bajas como 5 V.

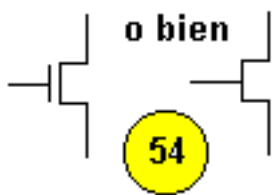


La integración en gran escala (LSI), o sea, el poner muchas compuertas en un CI, no sólo requiere transistores con geometrías muy pequeñas, sino también que cada uno disipe lo menos posible. Una solución a esto es la llamada lógica dinámica. La figura 53 muestra una NOR dinámica.

FIGURA 53

Tanto T3 como el, transistor adicional T4 se conectan a una señal de habilitación llamada "clock" (reloj, temporización). C representa las capacitancias parásitas del circuito (especialmente la de compuerta-surtidor del transistor siguiente).

Cuando el clock está en 1, tanto T3 como T4 están habilitados, con lo que el circuito se porta en forma idéntica a una compuerta estática. Pero durante todo el tiempo en que no se requiere el funcionamiento de la compuerta como tal, se la inhabilita aplicando un nivel 0 de clock, con lo que T3 interrumpe la alimentación de la compuerta (para ahorrar energía) y T4 también se corta para evitar la alteración de la carga de C. Esta carga dura



un par de milisegundos. Si se debe preservar la información por un tiempo mayor, se la debe “refrescar” habilitando momentáneamente la compuerta otra vez.

En los circuitos internos de integrados MOS, lo más probable es encontrar el dibujo simplificado de transistor de la figura 54.

FIGURA 54

El lector debe reconocer el drenaje y el surtidor observando cuál se conecta del lado de Vdd y cuál del de Vss.

En un circuito como el de una computadora, no es frecuente encontrar más de una o dos familias de lógica en una misma plaqueta. En televisión, en cambio, puede encontrarse una verdadera ensalada de lógicas en el sector de sintonía, según el gusto del diseñador, y se complica el inter-conexión de las mismas. Los integrados de touch deben manejar tensiones de 33V; el receptor de remoto puede ser un PMOS alimentado con 18V; el control de sintonía, un NMOS, con 12 V; y la memoria de programa, un CMOS con una pila de 1,3V. A esto podría agregarse un decodificador a siete segmentos, en TTL de 5V. Para simplificar las interfases, el fabricante de CI MOS específicos para TV no coloca transistores de carga internos en las salidas que van conectadas a las patas. Así, el diseñador del TV tiene la libertad de colocar resistores de carga retornadas a una tensión conveniente para la lógica que sigue CMOS o COS/MOS (MOS en conexión de simetría complementaria)

Esta familia utiliza MOSFETs tanto de canal P como N. La figura 55 ilustra un clásico inversor CMOS.

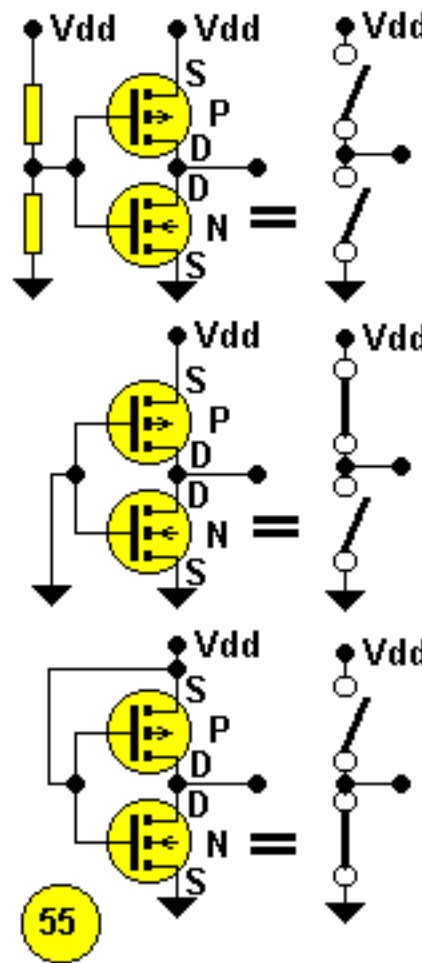


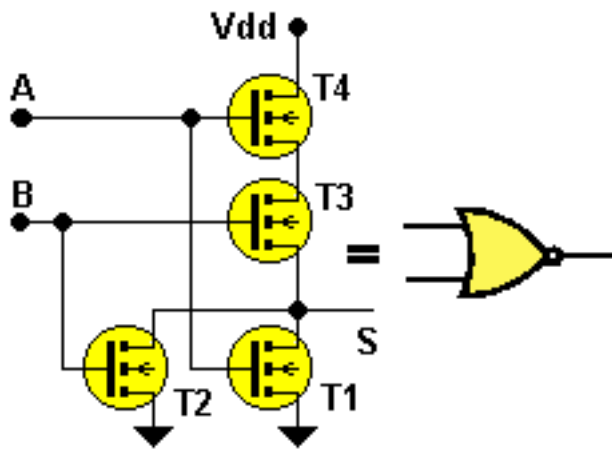
FIGURA 55

El transistor que conduce se representa como una llave cerrada.

En rigor, se comporta como un resistor de varios cientos de ohm.

Los CMOS son una lógica muy simpática por varias razones. Ante todo, los niveles de salida son exactamente iguales a Vss para el 0, y Vdd para el 1. Además, el consumo estático es nulo porque en ninguno de los dos estados conducen a la vez ambos transistores. Aclaremos que “conducir” aquí significa tener baja resistencia drenaje-surtidor, sin que ello implique circulación de corriente, pues el transistor compañero del activado no la permite por estar al corte.

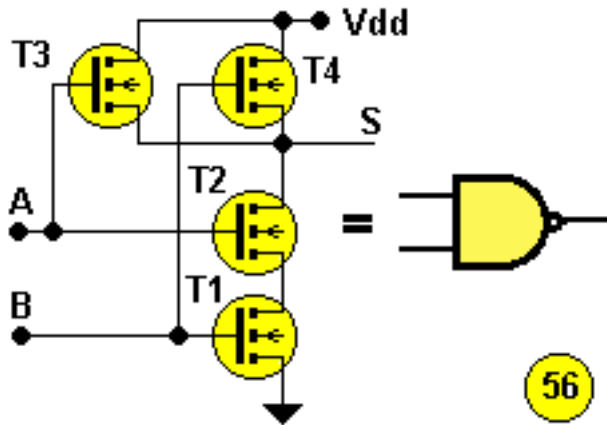
En realidad, algo de consumo hay. Por un lado están las inevitables corrientes de fuga. Por otro, tenemos que si a la entrada aplicamos una tensión intermedia que no es 1 ni es



0, es probable que ambos transistores tengan V_{gs} suficiente para conducir, según el valor de V_{dd} (esto no ocurre si a la entrada se aplica una señal digital con los niveles de 1 y 0 correctos). Por último, hay un breve pico de corriente cada vez que la salida cambia de estado, porque el canal P debe cargar las capacitancias parásitas cuando la salida sube, y el canal N las debe descargar al bajar. Por este motivo, el consumo de los CMOS es fuertemente dependiente de la frecuencia.

La figura 56 ilustra las compuertas NOR y NAND con CMOS.

FIGURA 56



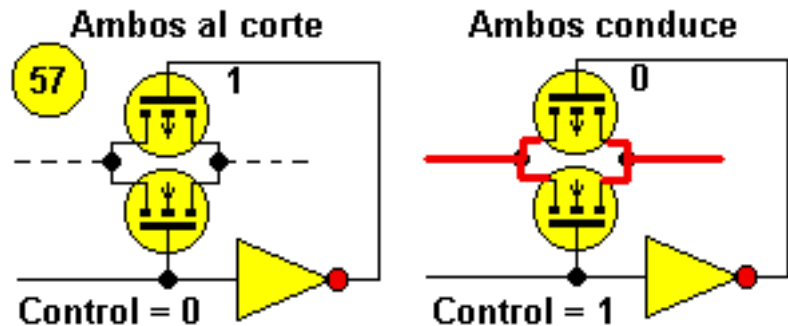
Un factor limitativo de la velocidad en los CMOS es la capacitancia con el sustrato. Una moderna técnica llamada SOS (silicio sobre zafiro) permite fabricar los transistores sobre un sustrato no conductor, con lo que se logran altas velocidades.

La figura 57 ilustra una interesante

posibilidad, exclusiva de los CMOS, llamada compuerta de transmisión, o bilateral.

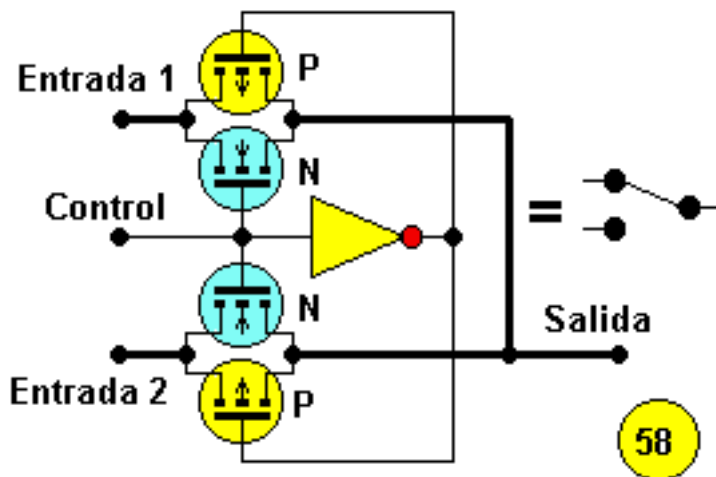
FIGURA 57

Representa una mejora con respecto a la llave MOS vista en la figura 49 ya que puede



manejar sin problemas señales en ambos sentidos, ya sea digitales o analógicas. La figura 58 muestra cómo formar una llave de dos posiciones, con dos llaves simples habilitadas complementariamente (en contra-fase).

FIGURA 58



Retratos de familias

Todo fabricante de circuitos integrados tiene absoluta libertad para diseñar el CI que quiera y ponerle el nombre que le guste.

Afortunadamente, y esto se da especialmente con las funciones más sencillas, hay una tendencia a que los diseños de algún fabricante tengan especial aceptación en el mercado, siendo copiados por otras compañías y transformándose así en “estándares de la industria”.

Tal lo ocurrido con la serie “74” de TTL, por ejemplo: el 7400 es cuatro NANDs, el 74160 es un contador, etc.

El 7400 fabricado por Texas se llama SN7400 el de Motorola es MC7400, el de National es DM7400, etc.

Las compuertas de la serie 74 poseen típicamente una disipación de 10 mW y un retardo de propagación de 10 ns.

Para los diseños que requiriesen mayor velocidad, se creó la familia 74 H (por ej. 74H160) la cual, con el recurso de disminuir los resistores internos, presenta un retardo de 6 ns pero con una disipación de 23 mW

Por el contrario, para cuando el factor crítico es el consumo, se creó la 74 L con 1 mW y 35 ns, usando resistores más elevados.

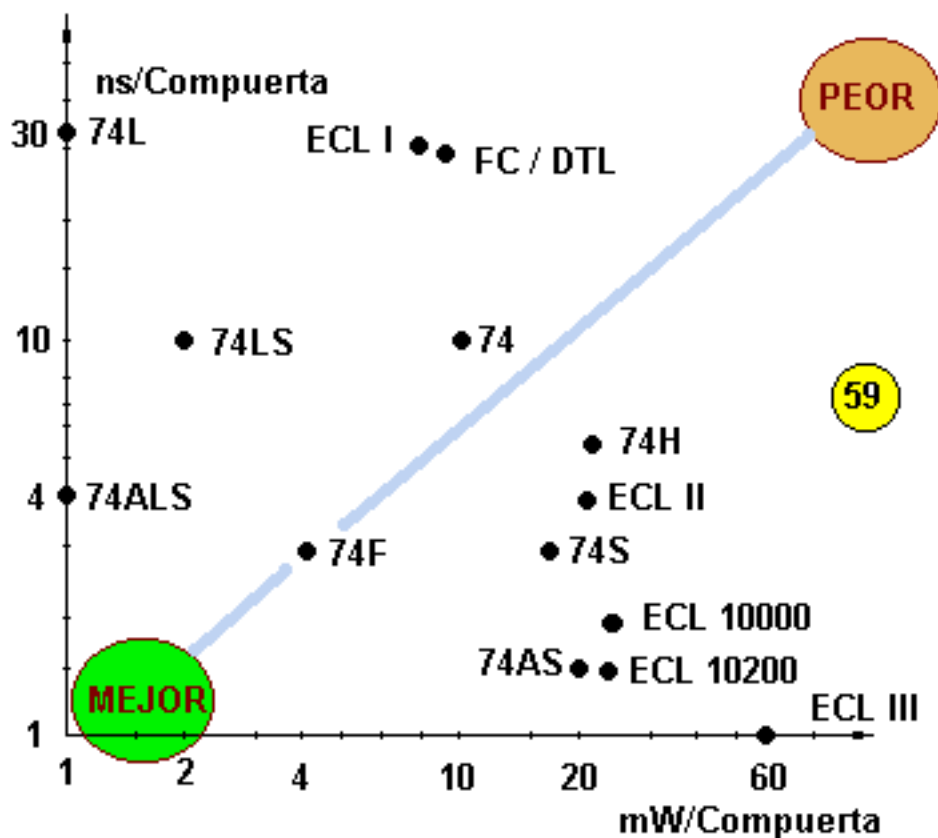


FIGURA 59

Posteriormente se introdujo el empleo de enclavamiento Schottky, desarrollándose las nuevas familias 74 LS (igual velocidad que 74 pero menor consumo) y 74 S (igual consumo que 74 pero mayor velocidad).

Por desgracia, la tecnología Schottky no estaba madura aún, de modo que con los años aparecieron nuevas familias Schottky avanzadas, como las 74AS, 74ALS y 74F.

Cada CI de una subfamilia posee las mismas conexiones de patas que sus similares de otras subfamilias, lo que varía son las corrientes de entrada y salida, y también varían un poco los niveles de tensión.

Cabe destacar que la mayoría de los CI en "TTL" Schottky en realidad son lógica DTL, por algún motivo de fabricación.

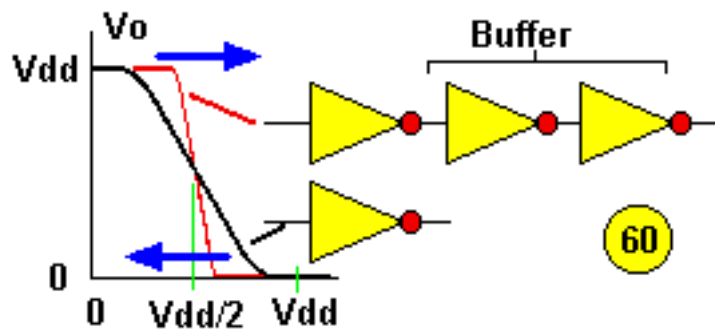
En cuanto a la familia ECL, pasó por varias etapas de evolución llamadas ECL I, II, III y 10000 (o I 0K), con retardos de propagación de 8, 4, 1, y 2 ns respectivamente.

La figura 59 permite comparar las características de distintas familias.

A menudo se especifica el "producto retardo-potencia" el cual al multiplicar ns por mW, tiene como unidad el pJ (picojoule). Este producto es tanto menor cuanto más avanzada sea la tecnología.

La primera familia CMOS fue la RCA CD4000A, que admite una máxima tensión de fuente de 12V o 15V.

Luego apareció la CD4000B, que opera con hasta 18V o 20 V e incorpora "buffers" (etapas separadoras o aisladoras) en todas las funciones. Veamos la ventaja de usar buffers. Según se aprecia en la figura 56 las impedancias de salida en ambos estados son distintas, porque en uno hay transistores en serie, y en el otro en paralelo.



Los buffers de la serie B consisten en el agregado de dos inversores a la función básica; esto lógicamente aumenta el retardo de propagación, pero produce una transición de salida bien definida debido a la "ganancia" aportada por las etapas agregadas, ver figura 60.

FIGURA 60

Los buffers también obvian el defecto de que en las salidas de las compuertas hayan transistores en paralelo en un estado, y en serie en el otro-, con ellos, se logran características más simétricas, y estandarizadas para casi todos los CI de la serie.

Si el diseñador no puede tolerar el retardo extra pero requiere el empleo de V_{dd} elevadas, puede optar por la serie intermedia CD4000UB. De todos modos, el mayor retardo es importante sólo en los integrados con compuertas sueltas; en integrados más complejos tales como contadores, que tienen muchas etapas en cascada sin conexiones intermedias accesibles externamente, la inclusión del buffer no aumenta demasiado el tiempo de retardo total en números relativos.

La mínima V_{dd} con que pueden trabajar los CMOS es de 3 V. A medida que se la aumenta, disminuye el retardo de propagación.

Como Motorola tenía los números 4000 ya ocupados (familia MC4000, TTL) decidió copiar

la serie RCA anteponiéndole un 1 (Por ej. el Motorola MC 1451111 equivale al RCA CD451 1B). A su vez, Fairchild la denomina 34000.

National, por su parte, prefirió desarrollar integrados CMOS que tuviesen las mismas conexiones de patas que el TTL estándar con iguales funciones. Esta serie se denomina 74C. Por ejemplo, el 74C00 es una cuádruple NAND CMOS con iguales funciones y conexiones que la 7400 TTL, no así el 4011.

Actualmente, también los nuevos CMOS de RCA están imitando a funciones TTL similares. Además, no sólo RCA decidió fabricar la serie 74C, sino que National también fabrica la 4000.

¿Dónde están las familias en el TV?

El área de aplicación de cada tipo de lógica depende de sus características. Por ejemplo, en circuitos que deban procesar la frecuencia del oscilador local (que puede llegar a 900 MHz) se utilizan integrados ECL debido a su elevada velocidad de trabajo.

Si el requisito es alta densidad de integración con velocidades medias, se usa I²L, por ejemplo en las etapas de menor frecuencia de un sintetizador, siendo posible integrar I²L y lineales en un mismo chip.

Los MOS son ideales para aplicaciones donde lo único que se requiere es bajo precio, como los receptores de control remoto.

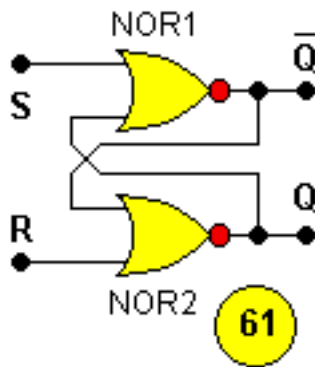
En general se prefieren los clásicos de canal P, pero la tendencia es incorporar progresivamente los más modernos NMOS.

En un transmisor de control remoto, la imposición absoluta es no poseer consumo en reposo, debido a la alimentación con baterías, con lo que los CMOS resultan la elección correcta. Por esta misma razón se suelen utilizar CMOS en un televisor para memorizar información digital cuando está apagado, alimentados con una pequeña batería.

En general, a la familia TTL de amplísimo uso en computación, no se la ve por los televisores.

A diferencia de otras áreas de aplicación de CI digitales, en TV no es frecuente encontrar dispositivos de familias estándares, como la CD4000. Los CI estándares están pensados para que se los pueda emplear de infinitas formas posibles para facilitar el diseño de cualquier circuito digital, y esta versatilidad obliga a que su escala de integración sea baja o media (SSI o MSI), debiéndose utilizar muchos CI. Es como los ladrillos, que sirven para construir cualquier edificio y se usan en grandes cantidades. Para que el costo de la digitización no aumente demasiado el precio del televisor, se trata en cambio de utilizar integrados diseñados específicamente para realizar una cierta función, por ejemplo, sintonía electrónica; siguiendo con la comparación, vendrían a ser como los paneles para armar casas prefabricadas, que sólo pueden emplearse para eso. Por supuesto que estos súper-integrados rompen con el ideal de la estandarización, y son un dolor de cabeza permanente para los reparadores que deben conseguirlos.

FLIP-FLOPS



Flip-flop SR (set-reset: posicionar-reponer)

Veamos el circuito de la figura 61, y estudiémoslo paso por paso.

FIGURA 61

Primero supondremos que tanto S como R están en 1. ¿Qué hay en las salidas? Por ahora, sabemos que al menos una entrada de cada compuerta tiene aplicado un 1; como es una NOR no hace falta conocer el estado de la otra entrada para saber que hay un 0 en su salida. Conclusión: tanto Q como Q' valen 0.

Ahora, haremos $S = 1$ y $R = 0$. El 1 en S hará que, con seguridad, Q valga 1. Este 1, junto con el 1 de R, están aplicados a NOR1, la cual producirá por lo tanto un 0 en su salida Q'.

Viceversa, si $S = 0$ y $R = 1$, tendremos $Q' = 1$ y $Q = 0$.

Lo curioso viene con $S = 0$ y $R = 0$. Para saber el estado de Q debo conocer las entradas de NOR2, que son R y Q'. S vale 0 pero no conozco Q'. Para saber el estado de Q' debo conocer R y Q, pero no conozco Q. Así que estamos en un círculo vicioso.

La solución está en suponer arbitrariamente un estado de las salidas. Por ejemplo, que $Q' = 0$. Así, NOR1 tendrá $S = 0$, $Q' = 0$, y producirá $Q = 1$. NOR2 tiene entonces $R = 0$ e $Q = 1$, con lo que nos confirma que $Q' = 0$. Pero si hubiésemos establecido que Q' fuese 1, también se habría confirmado que $Q' = 1$ y que $Q = 0$. ¿Qué significa esto? Que el circuito es bi-estable: cuando S y R valen 0, puede tener uno cualquiera de dos estados posibles ¿Cuál? Pues el estado que tenía antes de darse la condición $S = R = 0$. O sea, si en un principio teníamos $S = 1$ y $R = 0$, lo cual daba $Q = 1$ y $Q' = 0$, luego al pasar a $S = 0$ las salidas quedaron sin cambio. En otras palabras, se memorizó el estado anterior.

¿Y si nunca hubo estado anterior, es decir, si $S = 0$ y $R = 0$ en el momento de conectar la alimentación?

Entonces no puede saberse qué estados tendrán las salidas, a veces tomarán uno en el encendido, otras veces el otro,

Veamos ahora cómo queda la tabla de verdad.

La letra Q con la rayita arriba (o el tilde) indica que esa salida siempre tiene el estado opuesto (en la jerga digital, estado complementario o negado) al de Q.

Como esto no se cumple para $S = R = 1$, no se puede tabular esta combinación (salvo que llamemos Q' e Q a las salidas, sin especificar si son complementarias).

Observemos la filosofía del circuito. Si está "seteado" ($S = 1$), el FF tiene un 1 en Q. Si está "reseteado" ($R = 1$) el FF tiene un 0 en Q. Y si está "memorizando" ($S = R = 0$) la salida no cambia. Por otro lado, la salida Q' tomará el estado contrario a Q, a menos que se violen las reglas y se quiera "setear" y "resetear" a la vez.

FIGURA 62.

Una aplicación típica del SR es en la eliminación de pulsos falsos por rebote de contactos. El pulsador de la figura 62 entrega un 1 a un circuito al oprimirlo.

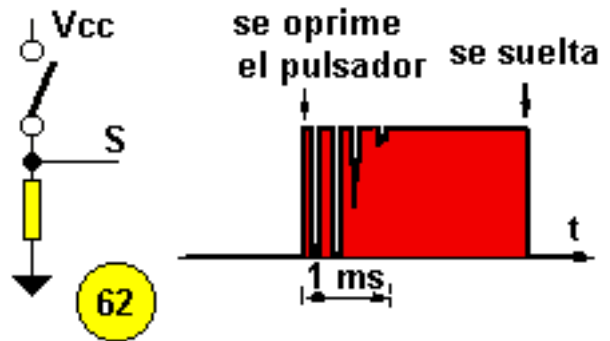
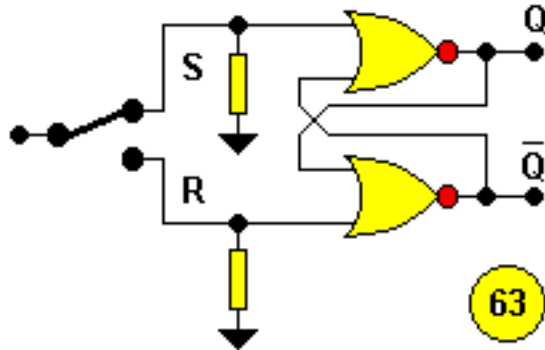


FIGURA 63



Es común que un contacto mecánico produzca una serie de pulsos erráticos al abrirse o cerrarse debido al rebote de sus contactos.

Si la llave se encuentra en el circuito de un pre-amplificador de audio, el fenómeno ocasiona un chasquido típico en el parlante.

En el ejemplo de la figura, estos pulsos podrían hacer que el circuito interprete que el pulsador se oprimió muchas veces.

Por ejemplo, se oprime el 6 en una calculadora, y ésta interpreta 6666.

Una forma de evitarlo es colocar una red integradora RC en serie con la entrada del circuito, para "suavizar" la onda.

Una forma totalmente digital que emplea un SR se muestra en la figura 63.

Se emplea una llave inversora (un polo dos posiciones). Veamos la secuencia de operación en la figura 64.

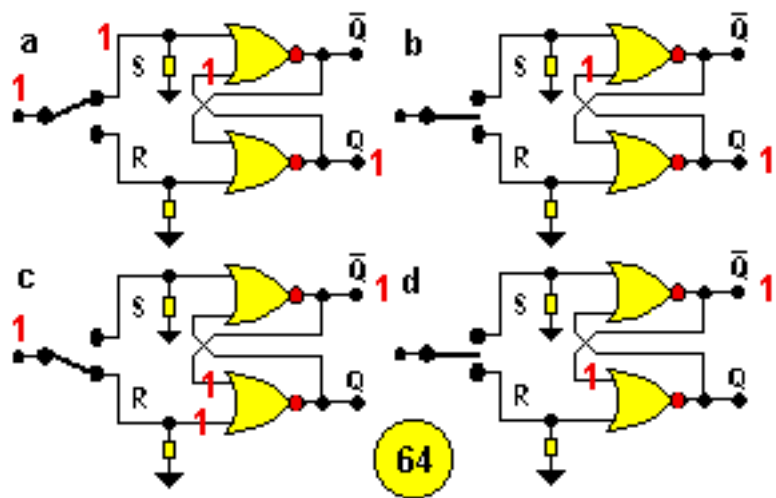


FIGURA 64

Puede implementarse un FF SR usando dos NAND. En este caso, la polaridad de las entradas se invierte: $S = R = 1$ es el estado de memorización, y $S = R = 0$ el prohibido.

Flip-Flop "Data Latch" (cerrojo de datos) (D Controlado por nivel)

La denominación indica que este circuito se emplea para "encerrar" información. Básicamente es un SR con el agregado de algunas compuertas, figura 65.

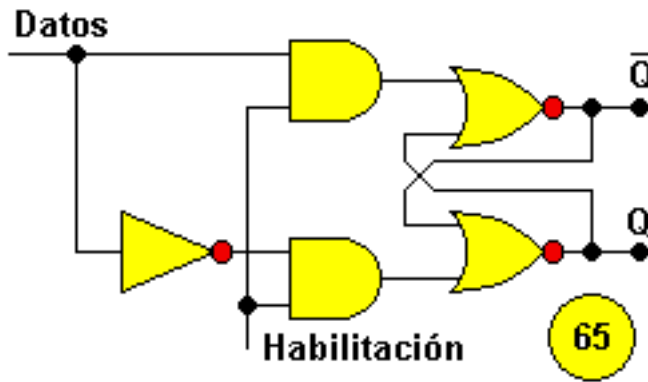


FIGURA 65

Supongamos que $HAB = 1$. Entonces, como cada AND tiene un 1 en una entrada, el estado de su salida será igual que el de la otra entrada; se dice que estas AND funcionan como habilitadores.

Ver figura 66.

FIGURA 66.

Vemos que la salida no hace más que obedecer a la entrada de datos. Si se aplica $HAB = 0$, entonces tenemos el estado de memorización $S = R = 0$, con lo que el SR se quedará con la última información que había antes de inhabilitar. Ver figura 67.

Nótese que el modo de funcionamiento (memorización o libre paso) está determinado por el NIVEL (0 ó 1) de la habilitación.

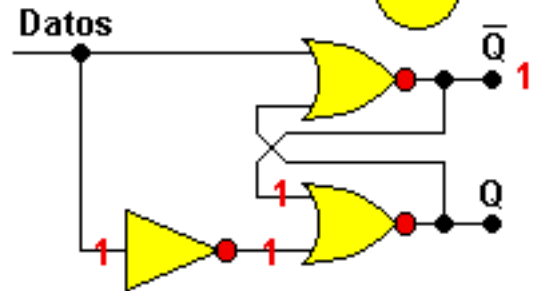
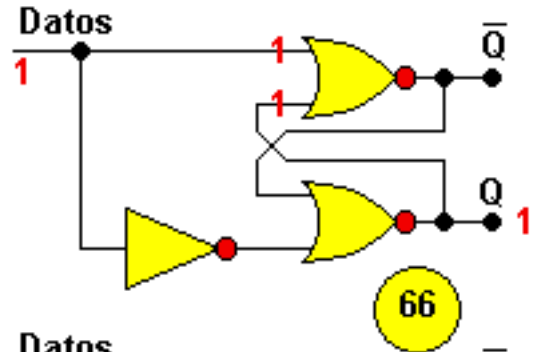
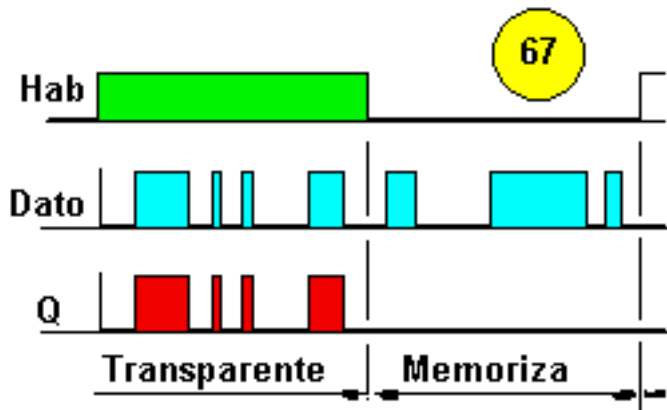


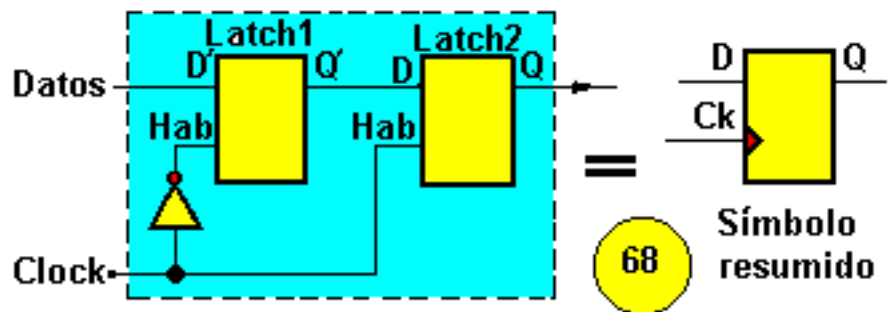
FIGURA 67

Un ejemplo de aplicación de los FF latch en un televisor es el mantener una información digital de sintonía mientras se está tecleando el nuevo número de canal; un conjunto de latches retienen el dato anterior todo el tiempo en que se los inhabilita. FIGURA 68



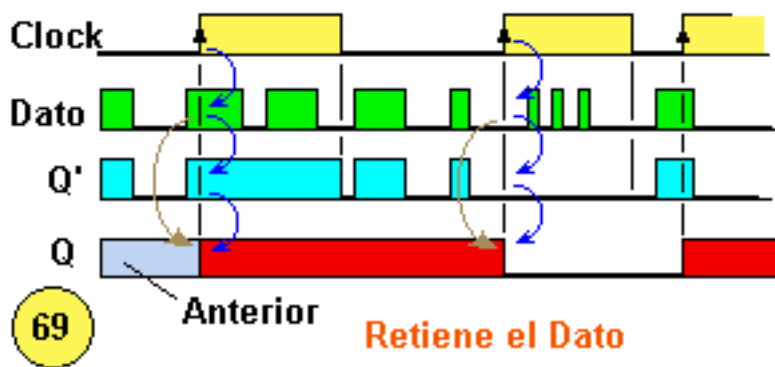
Flip-Flop 'Data, edge-triggered' (D disparado por flancos)

Utilizados latches conectados según la figura 68.



Símbolo resumido

Con $CK = 0$, LATCH1 está habilitado (debido al inversor); es transparente y los datos pasan directamente a su Q' . LATCH2 está inhabilitado; su Q se halla en un estado arbitrario e ignora lo que haya en su D' .



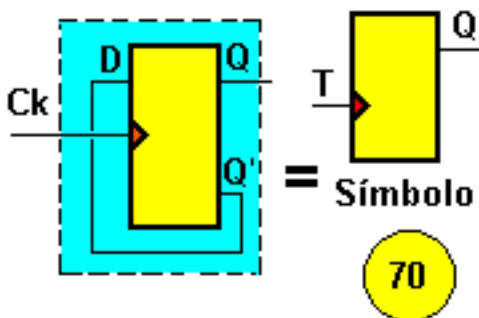
Cuando CK pasa a 1, se inhabilita LATCH-1 o sea que se quedará memorizando el último valor de D , y LATCH2 queda transparente para dicho valor.

¿Y si CK vuelve a 0? LATCH1 vuelve a ser transparente, pero LATCH2 ahora memoriza el valor de D antes mencionado, con lo cual Q sigue igual. La figura 69 aclarará esta explicación.

FIGURA 69

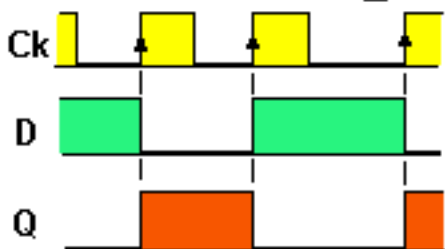
Veamos la filosofía del conjunto: el estado de Q es el que había en D en el preciso instante en que CK pasaba de 0 a 1. Aparte de ello, no importa si CK está en 0 o 1, sólo interesan los FLANCOS ascendentes de CK .

Esto es análogo a una cámara fotográfica con muy alta velocidad de obturador: no importa que el botón de disparo esté oprimido o no, lo que la cámara registra es la imagen que había justo en el momento de disparar.



El triángulo dibujado en la entrada CK indica "disparado por flancos".

Flip flop "toggle" o T (pulsador de velador)

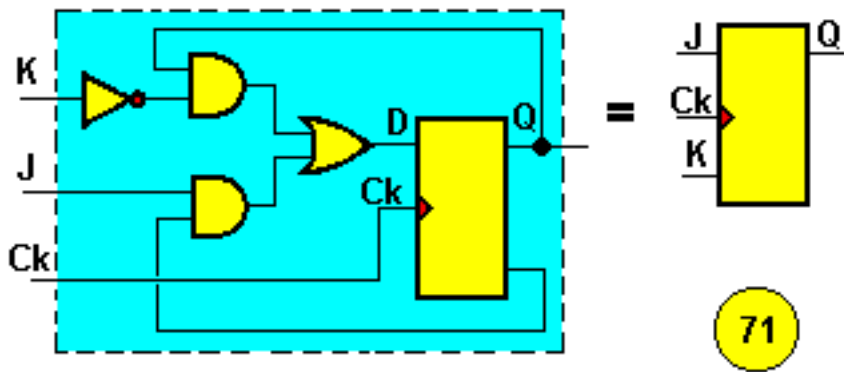


Una forma de implementar este FF es con un D disparado por flancos conectado según la figura 70.

FIGURA 70

Supongamos que inicialmente Q era 0 (y $Q = 1$). Como D está conectado a Q también vale 1. Con el próximo flanco ascendente, ese 1 en D es transferido a Q . Inmediatamente, aparece un 0 en Q y es realimentado a D , pero ya es demasiado tarde para ser transferido porque el flanco ya pasó, de modo que recién con el flanco ascendente siguiente pasará este 0 a Q .

La filosofía del circuito es que con cada flanco ascendente la salida cambia de estado. Una aplicación inmediata es como divisor de frecuencia: cada dos pulsos de entrada genera uno de salida, así que la frecuencia de salida es la mitad de la de entrada. Los



decodificadores PAL utilizan un flip-flop T para alterar la fase de la referencia R-Y línea a línea, el cual genera una señal con la mitad de frecuencia de la horizontal

Flip-tlop JK

Una forma de implementar este FF es con un D

disparado por francos conectado según la figura 71.

FIGURA 71

Veamos cómo funciona para cada combinación en las entradas J y K. Por comodidad de interpretación, se dibujan “desconectadas” las AND inhabilitadas, y “atravesadas por la señal” las activas, ver figura 72.

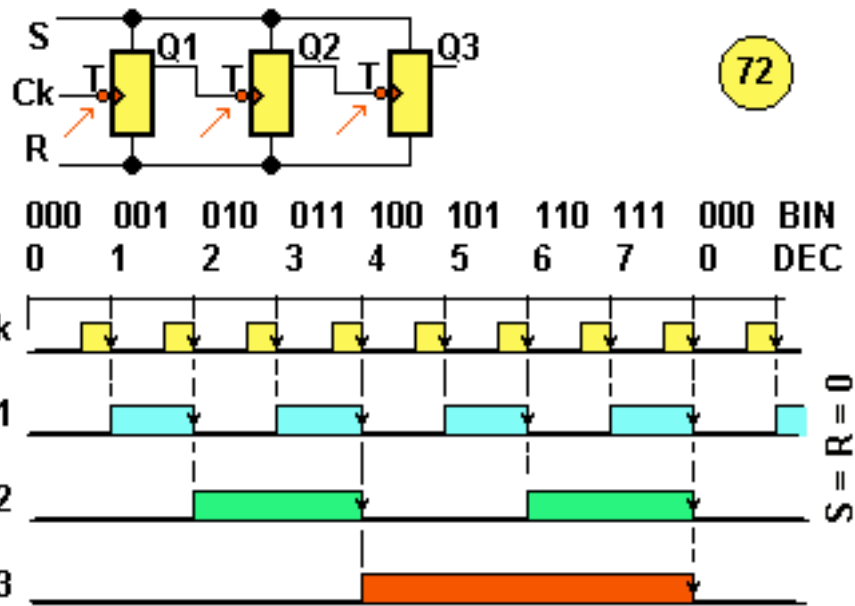
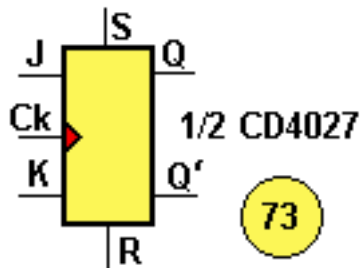


FIGURA 72

Variantes de los FF

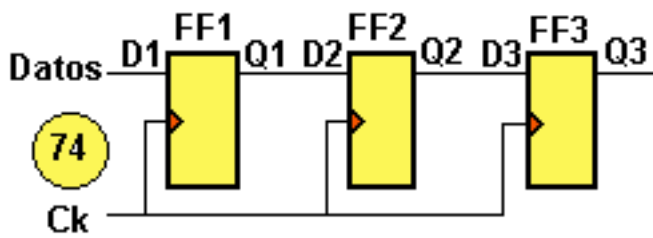
Si a un FF disparado por flancos ascendentes se le agrega internamente un inversor en la entrada de clock, se convierte en disparado por descendentes, y ello se indica agregando el círculo de negación en dicha entrada (si bien esta convención y la del triángulo no son siempre respetadas).



A cualquiera de los FF vistos se le puede agregar las funciones set y reset, mediante una modificación de la circuitería interna:

FIGURA 73

El FF de la figura 73 se comporta como un JK convencional si $R = S = 0$. Si $S = 1$, Q deja de obedecer lo que mandan J, K y CK, y toma incondicionalmente el estado 1 (y Q el 0). Si $R = 1$, Q toma incondicionalmente el estado 0. Nuevamente aquí se prohíbe la



combinación $S = R = 1$.

¿Para qué sirven los FF?

La figura 74 ilustra un circuito llamado registro de desplazamiento (shift register).

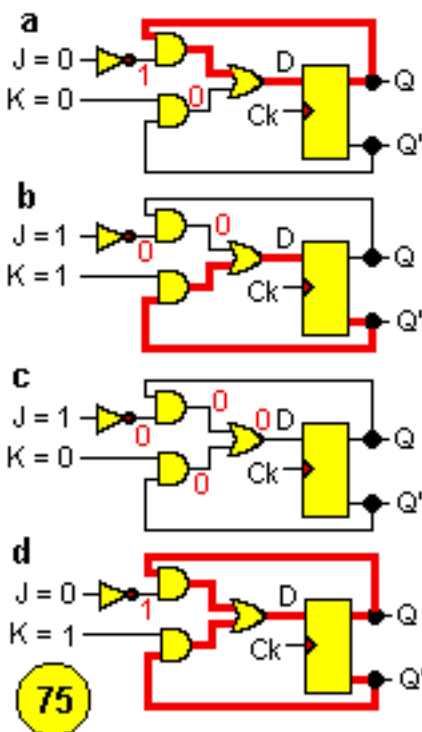
FIGURA 74

Inicialmente, cada FF tiene una cierta información (un 1 ó un 0) en su salida. Con el primer flanco ascendente de CK, la entrada DATOS es transferida a Q1; simultáneamente lo que había en Q1 es transferido a Q2, y lo que había en Q2 a Q3. Desde luego, la información de Q3 se pierde. Todo esto ocurre al unísono, sincrónicamente. Vemos que con cada subida de CK las informaciones son desplazadas un lugar. Un circuito así sirve como conversor serie/ paralelo según veremos.

En un momento dado, podemos examinar las salidas de los FF y apreciar el número binario contenido en ellas, en este caso es de 3 bits. Como estos bits existen todos al mismo tiempo, se dice que son una información en paralelo.

En cambio, si vamos introduciendo un número digital en DATOS, bit por bit, separados cada uno por un pulso de CK para ir desplazándolos, se dice que se trata de información secuencial b serie.

Del mismo modo, una vez que hemos “cargado” estos bits en el registro, si aplicamos tres pulsos de CK estos bits irán “saliendo” uno por uno en la última salida, nuevamente en formato serie.



Si se conecta DATOS con la última salida, se tiene un registro re-circulante.

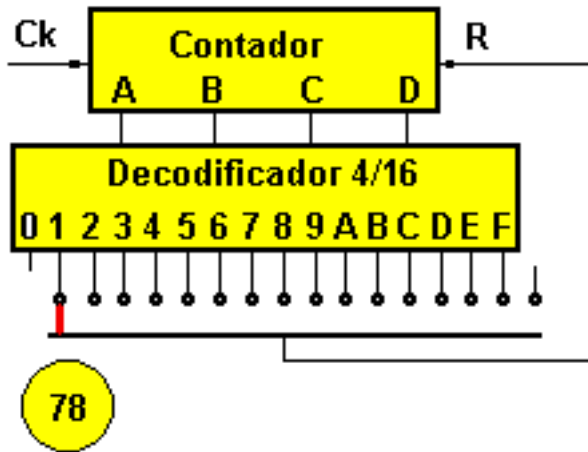
Para que el lector aprecie una aplicación de los registros de desplazamiento, mencionaremos el caso de los televisores con selección secuencial de canales: se oprime una tecla y los canales van cambiando. Simplemente, se está aplicando un clock de baja frecuencia a un registro de desplazamiento que habilita los potenciómetros de sintonía.

En la figura 75 se aprecia un divisor binario de 3 bits.

FIGURA 75

Por otra parte, el circuito actúa como contador; si el estado inicial era 000 y se le envía una cantidad de pulsos de CK menor que 8, dicha cantidad queda registrada en las salidas A tal efecto, el “peso” (valor o ponderación) de Q0 es 1; el de Q1 es 2 y el de Q2 es 4.

Si la cantidad de pulsos completos es 8 o mayor se



El circuito de la figura 77 es la sección segundero de un reloj digital.

El primer divisor genera un pulso de salida por cada diez que le llegan, y el segundo cada seis que le entrega el primero, o sea que en conjunto se está dividiendo por $10 \times 6 = 60$.

Si se reemplaza el detector de número por un decodificador, se puede seleccionar (programar) a voluntad el módulo de división por medio de una llave, figura 78.

FIGURA 78

Este divisor programable permite dividir entre 1 (igual frecuencia de salida que de entrada) y 16 (el máximo que permiten los FF, al no aplicar nunca reset). Los divisores programables se utilizan para los sintetizadores de frecuencia.

El esquema de divisor, programable visto es cómodo para su interpretación, pero demasiado lento: está el retardo entre que se aplica un flanco de CK y se produce el código prohibido en las salidas, el retardo propio del decodificador para detectar dicho código, y el retardo del contador para obedecer la orden de poner a cero las salidas. Todo esto debe ocurrir antes de que llegue el pulso de clock siguiente; en caso contrario, el circuito comienza a saltar cuentas.

Limitémonos a mencionar la existencia de métodos más eficientes, que utilizan contadores "pre-seteables" en los cuales la cuenta puede hacerse comenzar a partir de un número cualquiera, el cual es comunicado al CI a través de las entradas de preset, con lo cual también se logra reducir el módulo al valor que se desee. En cuanto a los divisores fijos, la forma de establecer el módulo es mediante compuertas que gobiernan las entradas D o J/ K de las distintas etapas.

MEMORIAS

Son memorias todos los dispositivos capaces de almacenar información, ya sean integrados, cintas o discos magnéticos, etc. Nos limitaremos únicamente a los CI, que son los utilizados en aplicaciones de TV.

El tipo más sencillo de memoria es aquel cuya información está grabada permanentemente y sólo puede ser leída (ROM: read only memory). Veamos el circuito de la figura 79.

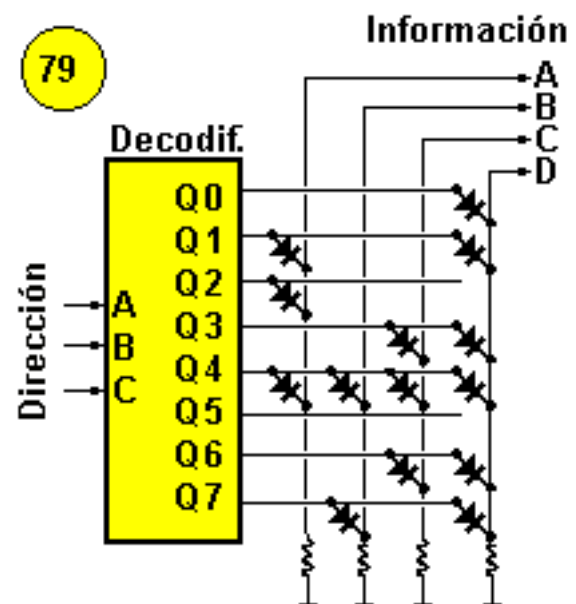


FIGURA 79

Cada renglón a la salida del decodificador es una "dirección" donde hay guardada una cierta información. Por ejemplo, si colocamos el número 110 (6) en la entrada del decodificador, aparecerá un 1 únicamente en su salida Q6. La misma está conectada a dos diodos que pasarán este nivel a las salidas de información B y .A, mientras que C y D permanecen en cero. O sea, en la dirección 110 está memorizado el número 0011. Un ejemplo en TV lo constituye la memoria de canales: una ROM programada de tal forma que, al ingresar el número de canal en las patas de dirección, se obtenga a la salida una información referente a la frecuencia del cana).

Todo el circuito ilustrado puede estar contenido en un solo integrado.

El caso visto, dicho en lenguaje de memorias, es una "ROM de 32 bit, organizada como 8 palabras de 4 bit". En el momento de escribir este libro, se dispone de ROMs de 262.144 bit, existiendo de capacidades aún mayores en tecnologías como la de burbujas magnéticas.

Para aprovechar al máximo las combinaciones binarias, las memorias casi siempre tienen una capacidad que es exponente de 2 (64, 128, 256, etc.). El término k-bit no significa necesariamente 1000 bit, sino que a menudo se lo emplea como 1024 bit. Así, 65.536 bit son 64 k.

Existen las llamadas PROM (programmable ROM) que pueden ser programadas por el usuario.

Todas las celdas tienen diodos, pero cada uno incluye un pequeño fusible en serie, que puede ser quemado a voluntad mediante un circuito especial.

Las PROM sólo pueden programarse una vez... y ojo con equivocarse al quemar los fusibles. Pero también existen PROM que se pueden programar mediante tensiones eléctricas, y borrar exponiéndolas a la luz ultravioleta, a través de urja ventaja que traen en el encapsulado. Son las EPROM o UV-EPROM (ultra violet erasable PROM).

Son útiles en los lugares donde una memoria debe ser re-programada de vez en cuando, por ejemplo, en los circuitos de tarificación de los taxímetros o los surtidores de combustible con indicación electrónica.

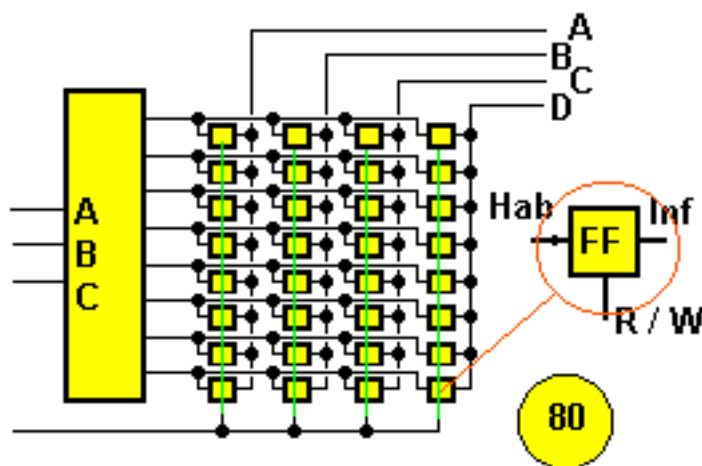


FIGURA 80

Las celdas de memoria de estos CI son transistores MOS especiales que están permanentemente conduciendo o al corte según que haya o no carga atrapada bajo la compuerta. Esta carga puede inyectarse a través de una capa de nitruro de silicio en las memorias MNOS (metal-nitruro-óxido-semiconductor), o por avalancha mediante una compuesta flotante en las FAMOS. Se garantizan tiempos de

retención superiores a los 10 años.

En la figura 80 tenemos una memoria que también puede ser escrita.

Este tipo de memoria se llama RAM (las siglas corresponden a random access memory, frase que si se interpreta estrictamente no nos dice si la memoria es de lectura/ escritura o de lectura solamente, sino que alude a la posibilidad de cambiar la dirección en cualquier orden, pero que con el uso se ha convertido en sinónimo de memoria de lectura y escritura).

Al igual que una ROM, al ordenarle una cierta dirección, lee los datos existentes allí y los hace salir por las líneas de información. Pero si se le envía una orden de escritura mediante la entrada R/W (read/ write, lectura/ escritura), los FF de la dirección seleccionada se olvidan de sus estados anteriores y son cargados con los que entran por las líneas de información, aplicados desde afuera.

Para poder tener más celdas (bits de información) en un integrado, las denominadas RAM dinámicas no usan flip-flops, sino MOSFETs en los cuales se explota la capacitancia, de la compuerta o la que forman con el sustrato, como elemento de almacenamiento. La carga de estos capacitores se va perdiendo con el tiempo, por lo que dichos CI poseen un ciclo de "refrescado" que repone la carga perdida cada 2 ms.

Los tipos de RAM que hemos visto son volátiles: la información se pierde al desconectar la alimentación, requiriendo una batería para el caso en que se la quiera preservar. Afortunadamente, es posible borrar eléctricamente (sin luz UV) los transistores MNOS o FAMOS mediante la inversión de polaridad en la tensión de programación, o bien agregando electrodos adicionales. A estas memorias se las conoce como NVRAM (non volatile), EAROM (electrically alterable) o EEPROM (electrically erasable PROM). En TV se usan como memoria de programa: el número de programa es la dirección; y la información leída se utiliza para sintetizar la tensión de sintonía, pudiendo alterarse a voluntad si el usuario reprograma el canal.

Este capítulo ha sido digitalizado por el Ing Rodolfo Cappella para APAE, con la autorización por escrito del Autor y de la Editorial EMEDE para la distribución gratuita. Se hace el registro de derecho de autor por la digitalización.

Índice general

Capítulo I	1
Repaso de Circuitos Digitales	1
<i>INTRODUCCIÓN</i>	<i>1</i>
¿Qué significa que la señal a la salida de un dispositivo sea “analógica”?	1
<i>SISTEMAS DE NUMERACIÓN</i>	<i>3</i>
<i>Inversor</i>	<i>6</i>
<i>Compuerta AND (“Y”)</i>	<i>7</i>
<i>Compuerta OR (“O”)</i>	<i>8</i>
<i>Circuitos con compuertas</i>	<i>9</i>
¿Qué ocurrirá si conectamos dos entradas o las tres a un nivel 1?	16
¿Qué pasa si una sola de las entradas es llevada a + 5 V (estado 1)?	17
<i>Retratos de familias</i>	<i>30</i>
¿Y si nunca hubo estado anterior, es decir, si $S = 0$ y $R = 0$ en el momento de conectar la alimentación?	33
¿Para qué sirven los FF?	38